

UNIVERZITA PARDUBICE

Fakulta elektrotechniky a informatiky

Návrh a realizace rozšiřujícího modulu ADC a DAC
pro kit Altera SoC (system on chip)

Jan Trpišovský

Bakalářská práce

2017

Univerzita Pardubice
Fakulta elektrotechniky a informatiky
Akademický rok: 2014/2015

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: **Jan Trpišovský**
Osobní číslo: **I11305**
Studijní program: **B2612 Elektrotechnika a informatika**
Studijní obor: **Komunikační a mikroprocesorová technika**
Název tématu: **Návrh a realizace rozšiřujícího modulu ADC a DAC pro kit Altera SoC (system on chip)**
Zadávající katedra: **Katedra elektrotechniky**

Z á s a d y p r o v y p r a c o v á n í :

Navrhněte a připravte podklady pro výrobu rozšiřující desky ADC a DAC pro kit Altera SoC (system on chip) s parametry: vzorkovací rychlost alespoň 500 MSPS a rozlišení 12 bitů, 2 kanály (např. ADS54T02 a DAC3482, případně zvažte i realizovatelnost rozhraní JESD204(B)), kmitočtový rozsah přizpůsobovacích obvodů 1-250MHz (-3dB), AC vazba. K propojení s kitem využijte LVDS páry na konektoru HSMC. Jako analogové konektory použijte typ SMA. Respektujte zásady pro návrh rychlých číslicových obvodů. Doporučuje se na DPS umístit i vlastní generátor taktovacího signálu včetně reference a jeho zavedení do kitu.

Rozsah grafických prací:

Rozsah pracovní zprávy:

Forma zpracování bakalářské práce: **tištěná/elektronická**

Seznam odborné literatury:

1. Terasic. Terasic, Main Boards CycloneII. Terasic, Main Boards. [Online] 2014. [Citace: 01. 11 2014.] <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=13&List=Simple#Category53>.
2. Terasic HSMC Daughter Boards. Terasic Products. [Online] 2014. [Citace: 01. 11 2014.] <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=67&No=278>.
3. TI. ADS54T02 — Wideband Receivers — Analog Front End (AFE) — Description & parametrics. Analog, Embedded Processing, Semiconductor Company, Texas Instruments - TI.com. [Online] JANUARY 2014. [Citace: 6. listopad 2014.] <http://www.ti.com/lit/ds/symlink/ads54t02.pdf>.
4. Inc., Texas Instruments. DAC3482 — High Speed DAC (>10MSPS) — Digital to Analog Converter — Description & parametrics. [Online] JULY 2013. [Citace: 6. listopad 2014.] <http://www.ti.com/general/docs/lit/getliterature.tsp.genericPartNumber=dac3482&fileType=pdf>.

Vedoucí bakalářské práce:

Ing. Josef Marek, CSc.
Katedra elektrotechniky

Datum zadání bakalářské práce:

15. prosince 2014

Termín odevzdání bakalářské práce:

11. května 2015



prof. Ing. Simeon Karamazov, Dr.
děkan



L.S.



Ing. Zdeněk Němec, Ph.D.
vedoucí katedry

V Pardubicích dne 31. března 2015

Prohlášení autora

Prohlašuji, že jsem tuto práci vypracoval samostatně. Veškeré literární prameny a informace, které jsem v práci využil, jsou uvedeny v seznamu použité literatury.

Byl jsem seznámen s tím, že se na moji práci vztahují práva a povinnosti vyplývající ze zákona č. 121/2000 Sb., autorský zákon, zejména se skutečností, že Univerzita Pardubice má právo na uzavření licenční smlouvy o užití této práce jako školního díla podle § 60 odst. 1 autorského zákona, a s tím, že pokud dojde k užití této práce mnou nebo bude poskytnuta licence o užití jinému subjektu, je Univerzita Pardubice oprávněna ode mne požadovat přiměřený příspěvek na úhradu nákladů, které na vytvoření díla vynaložila, a to podle okolností až do jejich skutečné výše.

Souhlasím s prezenčním zpřístupněním své práce v Univerzitní knihovně.

V Pardubicích dne 8. 12. 2017

Jan Trpišovský

Poděkování

Tímto vyjadřuji poděkování vedoucímu bakalářské práce Ing. Josefu Markovi, CSc. za vedení práce a za připomínky, čas a odborné rady při řešení úlohy.

Anotace

Tato práce se věnuje problematice realizací převodníků pro vyšší kmitočty. Dále je řešena implementace k desce Altera Sockit pomocí konektoru HSMC.

Klíčová slova

Převodník A/D, převodník D/A, synchronizátor hodin, diferenční spoje

Title

Altera SoC kit ADC and DAC expansion module design and implementation.

Annotation

Bachelor thesis is devoted to the realization convertors for higher frequency. Furthermore, is dealing with implementation to board Altera Sockit through HSMC connentor.

Keywords

Converter A/D, Converter D/A, clock synchronization, differential traces

Obsah

Úvod	10
1 Teoretická část	11
1.1 JESD204b rozhraní.....	11
1.2 AD a DA převodníky.....	12
1.3 AD a DA převodníky.....	12
1.4 Převod a Chyby v AD převodnících.....	12
1.5 SNR	13
1.6 SFDR.....	13
1.7 ENOB	13
1.8 DR.....	14
1.9 Zhoršení SNR	14
1.10Altera Sockit.....	15
1.11Diferenční spoje LVDS	16
1.12Fázový závěs PLL	18
1.13SPI	18
1.14Konektor HSMC.....	19
2 Popis součástek	21
2.1 ADS54J60.....	21
2.2 DAC39J82	21
2.3 LMK04828	22
2.4 SN74LVC8T245.....	23
2.5 TPS62085	23
3 Praktická část	25
3.1 Základní popis funkce	25
3.2 Popis schématu Napájení.....	25
3.3 Popis schématu Měniče napěťové úrovně	25
3.4 Popis schématu Generátory taktovacích signálů	25
3.5 Popis schématu DAC převodník	26
3.6 Popis schématu ADC převodník	26
3.7 Popis schématu HSMC konektor.....	26
Závěr	27

Literatura	28
Příloha – Schéma zapojení.....	29
Příloha – Tištěná deska	30

Seznam zkratek

CML	proudově řízené rozhraní pro vysoké přenosové rychlosti (Common mode logic)
HSMC	vysokorychlostní konektor s podporou diferenčních spojů (High Speed Mezzanine Card)
JEDEC	rozhraní pro připojení AD a DA převodníků k FPGA (Joint Electro Device Engineering Council)
LVDPECL	diferenční spoj pro emitorově řízenou logiku (low voltage differential emitor coupled logic)
LVDS	nízkonapěťový diferenční signál (low voltage differential signal)
PLL	fázový závěs (Phase locked loop)
SNR	odstup signálu od šumu (signal to noise ration)
SFDR	odstup signálu od největší harmonické (spurious free dynamic ration)
FPGA	programovatelný mikrokontrolér
CMOS	jednovodičový spoj pro integrované obvody

Seznam obrázků

Obrázek 1 JESD204b rozhraní	11
Obrázek 2 Grafy chyb převodníků	13
Obrázek 3 Graf zvětšujícího se vlivu jitteru na vyšších frekvencích	14
Obrázek 4 ALtera SocKit s popsanými bloky a perifériemi	16
Obrázek 5 Vzorové řešení impedačního přizpůsobení pro LVDS	17
Obrázek 6 Vzorové řešení impedačního přizpůsobení pro LVPECL.....	17
Obrázek 7 Fázový závěs	18
Obrázek 8 Schéma propojení bloků pomocí sběrnice SPI	19
Obrázek 9 Schématické zobrazení typů signálů pro HSMC konektor	20
Obrázek 10 Zjednodušené schéma převodníku ADS54J60	21
Obrázek 11 Zjednodušené převodníku DAC39J82	22
Obrázek 12 Zjednodušené schéma časovače LMK04828	23
Obrázek 13 Zjednodušené schéma pro TPS62085	24

Seznam tabulek

Tabulka 1 Typické hodnoty pro LDPECL a LVDS	17
---	----

Úvod

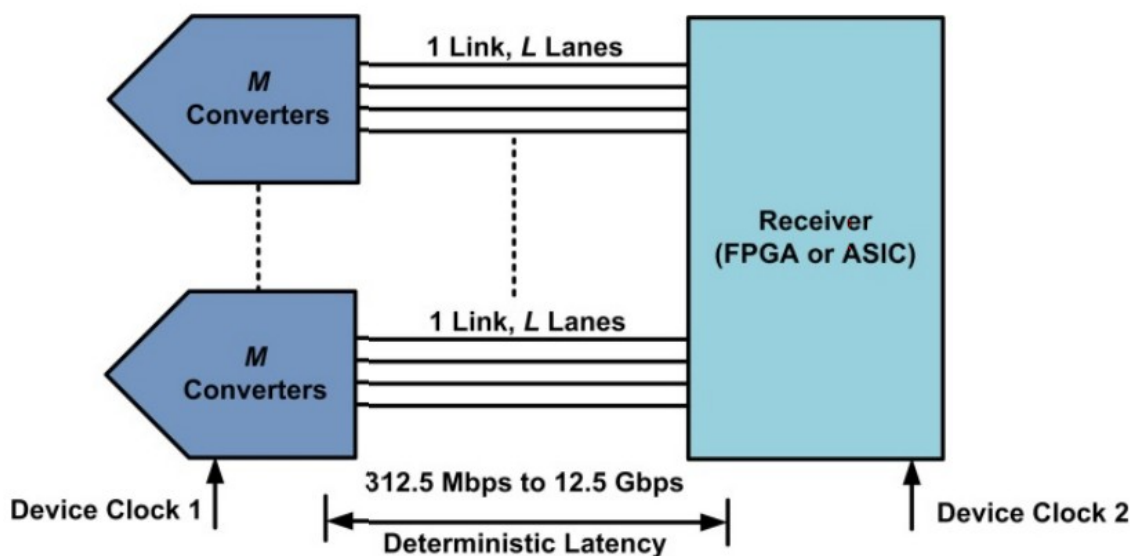
Analogově-digitální a digitálně-analogové převodníky jsou jedny ze základních prvků číslicové techniky. Bez jejich funkce by nebylo možno signál analogový zpracovávat v číslicových soustavách. Převodníky se používají tam, kde přijdeme do kontaktu s reálným světem, kde nejsou určeny přesné hranice signálu. Číslicové zpracování vždy převádí veličinu s určitou chybou, protože signál digitální nemůže mít nekonečně mnoho vzorků s nekonečně velkým rozlišením vzorků. Ovšem tuto chybu lze na rozdíl od analogové techniky přesně popsat.

Tato práce se bude zabývat problematikou realizace AD a DA převodníku. V úvodní kapitole pojednává o vlastnostech převodníků a jejich chybách. Dále je popsán SoCkit Altera, ke kterému bude deska připojena. V další kapitole jsou popsány jednotlivé součástky. V následující kapitole se popisují jednotlivá schémata desky. V závěru práce je celkové zhodnocení.

1 Teoretická část

1.1 JESD204b rozhraní

JESD204b je sériové rozhraní určené pro přenášení dat mezi ADC nebo DAC převodníky a FPGA. Využívá diferenční sériové páry s proudovou logikou (CML - current mode logic). Diferenční páry TX (vysílače) nebo RX (přijímače) mají impedanci 100Ω . Napěťový rozsah je od 0,72V do 1,23V. JESD podporuje 8b/10b kódování. JESD snižuje nároky na počet přenášených vodičů obvodu, protože definuje i protokol přenosu (oproti LVDS). Například u čtyřkanalového 16. bitového DAC je potřeba 32 párů LVDS a u JESD nám stačí pouze 8 párů. Toto jednosměrné sériové rozhraní dosahuje maximální rychlosti přenášených dat 12,5 Gbps. První revize JESD204 byla specifikována pro rychlosti od 312,5 Mbps do 3,125Gbps a k přenosu byly potřeba společné synchronizační hodiny (Frame Clock). Ve druhé revizi se přidal hodinový signál SYS REF, který sloužil jako reference pro všechny zařízení. Tato revize je vhodná pro převodníky nad 250MSPS.



Obrázek 1 JESD204b rozhraní¹

¹ JESD204B Survival Guide [online]. [cit. 2017-10-12]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/technical-articles/JESD204B-Survival-Guide.pdf>

1.2 AD a DA převodníky

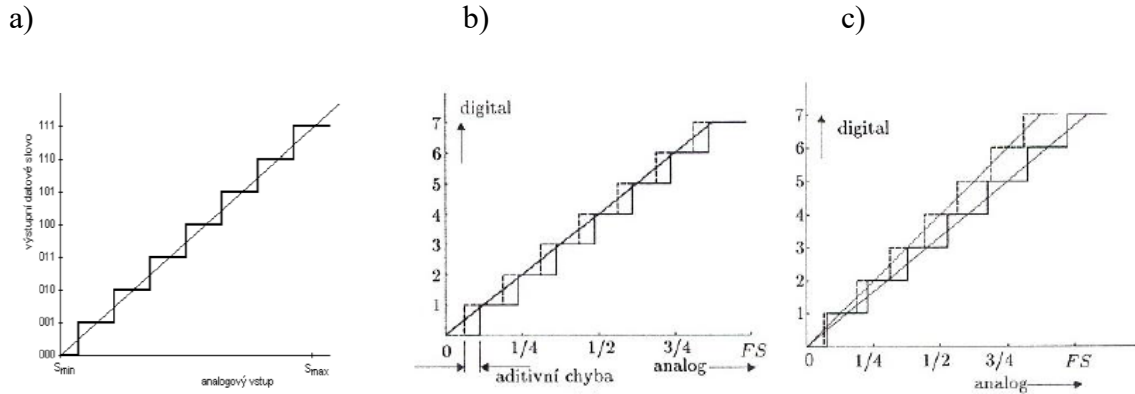
Pro uložení nebo zpracování dat v číslicových systémech je potřeba daný signál (informaci) převést na číslicovou hodnotu (digitalizovat). Analogový signál může nabývat libovolného množství hodnot (je spojitý v čase i ve spektru). Číslicový signál nabývá jen určených omezených hodnot (je diskrétní v čase i ve spektru). K převodu slouží AD převodník, který analogovému signálu přiřadí posloupnost čísel. Pro převod signálu z digitálního na analogový se používá DA převodník, který obráceně z diskrétního číslicového signálu vyrobí signál spojitý analogový.

1.3 AD a DA převodníky

Pro uložení nebo zpracování dat v číslicových systémech je potřeba daný signál (informaci) převést na číslicovou hodnotu (digitalizovat). Analogový signál může nabývat libovolného množství hodnot (je spojitý v čase i ve spektru). Číslicový signál nabývá jen určených omezených hodnot (je diskrétní v čase i ve spektru). K převodu slouží AD převodník, který analogovému signálu přiřadí posloupnost čísel. Pro převod signálu z digitálního na analogový se používá DA převodník, který obráceně z diskrétního číslicového signálu vyrobí signál spojitý analogový.

1.4 Převod a Chyby v AD převodnicích

Před samotným převodem je nutno z analogového signálu vybrat vzorek, který se nebude měnit po dobu převodu. Vytvoří se signál diskrétní v čase. K tomu je zapotřebí analogová paměť, v jednoduchém případě kondenzátor, např. obvod Track/ Hold. Nejedná se však o nutnou podmínku, některé typy jako např. převodník s proudovým zpracováním obvod Track/Hold nepotřebuje. Převod AD převodník provádí pomocí převodní charakteristiky, která je vyobrazena na grafu a) v obrázku Obrázek 2. Analogovému vstupnímu napětí je přiřazena určitá hodnota s přesností danou z velikostí kvantizačních úrovní. Tím se signál stane diskrétní v čase i ve spektru a lze ho již zpracovat v číslicových obvodech. Velikost kvantizačních úrovní určuje počet bitů převodníku. Čím je více kvantizačních úrovní, tím je rozsah větší a snižuje se velikost kvantizační chyby, která činí maximálně polovinu jedné kvantizační úrovně. Například 8bitový převodník má těchto úrovní $2^8 = 256$. Na grafech b) a c) obrázku Obrázek 2 jsou vyobrazeny jednotlivé chyby, které vznikají při převodu. V grafu b) je aditivní chyba způsobena posunem úrovní, představuje konstantní chybu nezávisle na hodnotě. V grafu c) je chyba multiplikační vznikající v analogové části vlivem nepřesnosti referenčního napětí.



Obrázek 2 Grafy chyb převodníků²

1.5 SNR

Signal to noise ratio (SNR) vyjadřuje odstup signálu od šumu. Je to poměr vstupního napětí a kvantovacího šumu. Za účelem dosažení správné kvality signál je snaha o co největší hodnoty SNR. Např. 8bitový AD převodník má $SNR_i = 49.9 \text{ dB}$. Nicméně skutečný převodník má SNR vždy menší z důvodu zvětšení kvantizační chyby. Následující vzorec určuje velikost SNR pro sinusový signál.

$$U_{sinef} = \frac{q}{\sqrt{12}} U_m [V] \quad U_{sinef} = \frac{U_M}{2\sqrt{2}} [V]$$

$$SNRI = 20 \log \frac{U_{sinef}}{U_q} = 6,02n + 1,76 [dB] [V]$$

1.6 SFDR

Spurious free dynamic range (SFDR) je jedním z nejdůležitějších vlastností převodníků pro vyšší kmitočty. Je to poměr amplitudy signálu chtěného a amplitudy harmonické signálu. Za účelem dosažení správné kvality signál je snaha o co největší hodnoty. Měří se na vstupu a vástupu převodníku např. sinusový signál.

$$SFDR = 20 \log \left(\frac{\text{Amplitude of fundamental (RMS)}}{\text{Amplitude of Largest Spur (RMS)}} \right) [dB]$$

1.7 ENOB

Efektivní počet bitů (Effective Number of Bits, ENOB) je vždy menší než jmenovitý počet bitů a je dán velikostí SNR. Porovnává se s ideálním převodníkem. Čím je poměr SNR větší, tím bude vyšší Efektivní počet bitů.

$$ENOB = N_{ef} = 20 \log \frac{SNR - 1,76}{6,02} [\text{bitů}]$$

² MAREK, Josef. Základní funkční principy A-D a D-A převodníků. [online]. [cit. 2017-01-17]. Dostupné z: fei-learn.upceucebny.cz

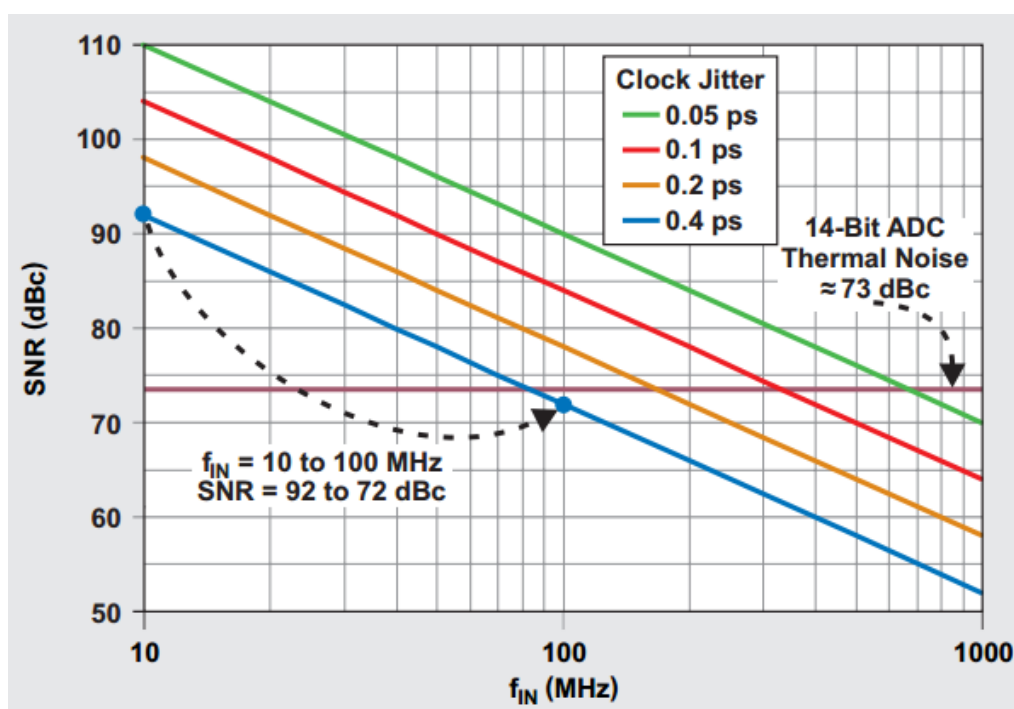
1.8 DR

Dynamický rozsah (Dynamic range) převodníku je určen rozlišitelností převodníku podle vztahu. Určuje ideální, případně efektivní rozlišitelnost převodníku. Ideální 8bitový A/D převodník má $DR = 48,2 \text{ dB}$.

$$SNRI = 20 \log 2^n = 6n [V^2]$$

1.9 Zhoršení SNR

Pro nižší frekvence ovlivňuje vzorkovací řetězec termální šum převodníku a tím snižuje SNR. Například u ADC 14bit dosahuje typické hodnoty okolo 70-74 dB dle výrobních dat součástky. Tento šum se s frekvencí nemění. Jitter je nejistota taktovacích hodin převodníku. Pro vyšší frekvence, na obrázku Obrázek 3 jde o 300 MHz, je jitter hlavním zdrojem snížení SNR. Na 300 Mhz měl jitter pokles u SNR o 20 dB oproti 10 Mhz. Na obrázku je vidět, že čím je vyšší frekvence vzorkovaného signálu, tím se může odebrat nepřesnější vzorkovaný signál. A tím se i zvyšuje jitter a s ním související SNR.



Obrázek 3 Graf zvětšujícího se vlivu jitteru na vyšších frekvencích³

Vzorec pro výpočet SNR jitteru uvádím pod odstavcem, ze vzorce je jasně patrné, že při zvyšujícím se kmitočtu se jitter bude zvětšovat a SNR zmenšovat.

³ Understanding AC Behaviors of High Speed ADCs [online]. [cit. 2017-12-07]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/technical-articles/MS-2124.pdf>

$$SNR_{jitter}[dBc] = -20\log(2\pi \cdot f_{in} \cdot t_{jitter})$$

V dalším vzorci jsou uvedeny složky, které snižují SNR. Tedy kvantizační šum, termální šum a jitter.

$$SNR_{ADC}[dBc] = -20\log \sqrt{\left(-\frac{SNR_{Qu Noise}}{20}\right) + \left(-\frac{SNR_{Th noise}}{20}\right)^2 + \left(-\frac{SNR_{jitter}}{20}\right)^2}$$

V následujících vzorcích je uveden případ pro vypočítání SNR pro 14-bitový převodník. Vzorkovací frekvence je 100 MHz, jitter taktovacích hodin převodníku je 400 fs.

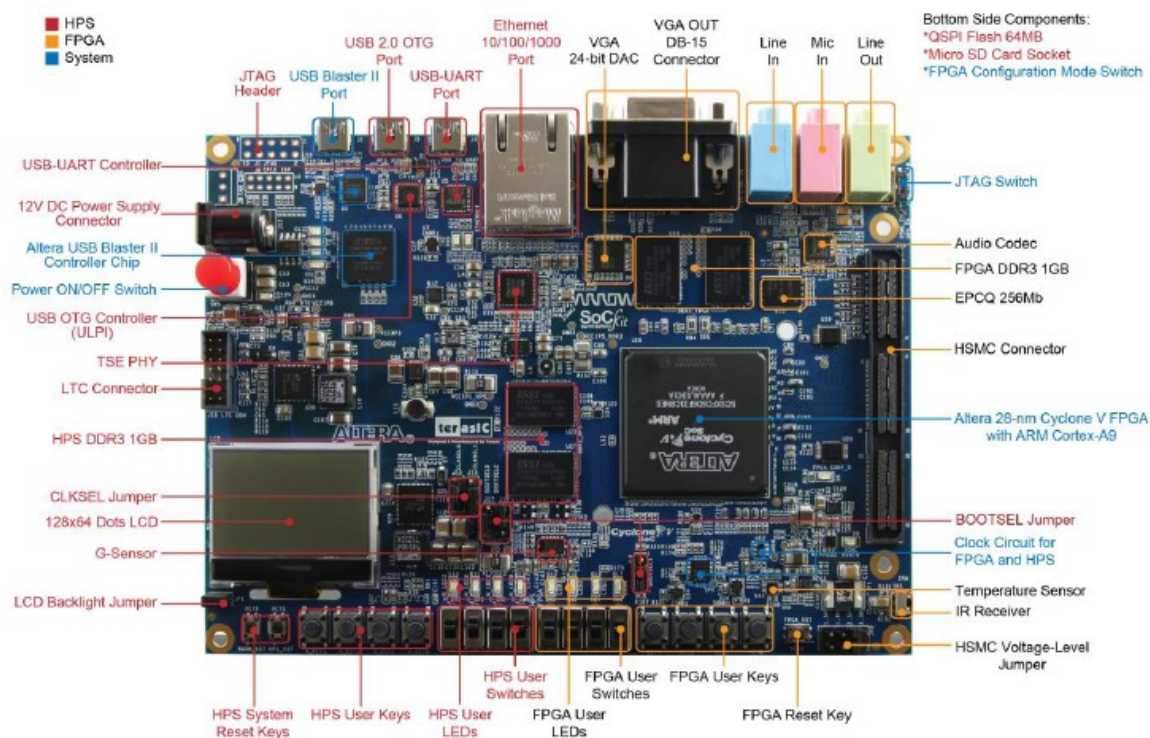
$$SNR_{jitter}[dBc] = -20\log(2\pi \cdot 100MHz \cdot 400fs) = 72 dBc$$

$$SNR_{ADC}[dBc] = -20\log \sqrt{\left(-\frac{73dBc}{20}\right) + \left(-\frac{72dBc}{20}\right)^2} = 69,5 dBc$$

Pro redukci jitteru lze například použít úzký filtr na vstupní taktovací signál z hodin. Pro další zlepšení se na výstupu generátoru hodin umístí zesilovač, který zrychlí změny hodin (slew rate). Úzký filtr dále mírně zvětší amplitudy hodin., ale pouze jen do té míry, aby nepřesáhly doporučené hodnoty pro hodinový vstupní signál převodníku.

1.10 Altera Sockit

Altera SoC EVM je vývojový kit pro realizaci různých logických operací. Je postaven na chipu Altera FPGA (Altera Cyclone V s AEM Cortex-A9). Obsahuje ARM HPS programovatelný procesorový systém s pamětí DDR3 o velikosti 1 GB. Lze ho programovat např. přes USB 2.0 konektor. Je opatřen mnoha výstupy a vstupy pro zajištění univerzálnosti. Mezi tyto vstupy a výstupy kitu Altera Sockit patří LTC konektor pro programování přes SPI, I2C nebo GPIO, Ethernet konektor RJ45, VGA konektor pro video zobrazení, Zvukové konektory jack pro záznam a přehrávání zvuku. A v neposlední řadě také konektor HSMC, který umožňuje připojení dalších desek např. desky s převodníky.



Obrázek 4 ALtera SockKit s popsanými bloky a perifériemi⁴

1.11 Diferenční spoje LVDS

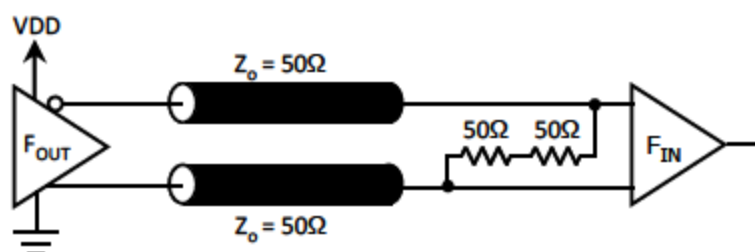
Diferenční spoje jsou určeny pro vyšší přenosové rychlosti. Stejná data jsou přenášena po obou vodičích, ale s opačnou polaritou. Informace se získává z rozdílu signálu obou vodičů. LVDS má impedanci jednotlivých vodičů 50 ohmů. Napětí vodičů je typicky kolem 1,2 V. Rozdíl je nejčastěji jen 350mV, kvůli malé změně napětí tolik neovlivní ostatní signály elektromagnetickým rušením. Také mají malou spotřebu. Protože oba diferenční vodiče jsou většinou rušeny podobným elektromagnetickým rušením a jako informace se vyhodnocuje jen jejich rozdíl, mají větší odolnost proti rušení. Přenosová rychlost dosahuje 3,125 Gbps. LVDS se používají pro svou relativní jednoduchost. LVDPECL je určen pro vyšší přenosovou rychlost 10 Gbps než LVDS, má větší napěťový rozdíl signálu a tím i vyšší energetickou náročnost. Používá se pro hodinové signály. Pro svou funkci stále potřebuje mít napájení stejnosměrným proudem, protože vstup se chová jako emitorem řízená logika.

⁴ Cyclone V SoCs. Alterra [online]. [cit. 2015-04-30]. Dostupné z: <https://www.altera.com/products/soc/portfolio/cyclone-v-soc/overview.html>

Tabulka 1 Typické hodnoty pro LDPECL a LVDS

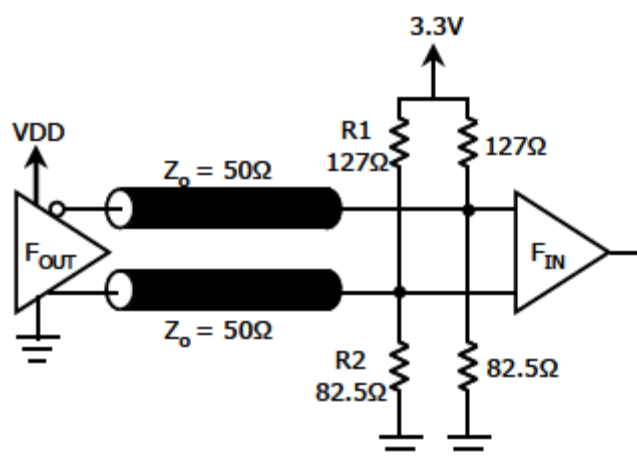
INPUT	LVPECL	LVDS
V_{IH} (Min)	2.135 V	1.249
V_{Ref} or V_{CM}	2	1.2
V_{IL} (Max)	1.825 V	1.252
V_{ID} (Min)	310 mV	200 mV

LVDS potřebují společnou impedanci o velikosti 100 ohmů a pro jednotlivé vodiče 50 ohmů. Jinak by docházelo ke ztrátám signálu na vedení a odrazům. Zakončovací odpor (Terminace) 100 ohm by se měla umístit co nejbližší vstupu.



Obrázek 5 Vzorové řešení impedačního přizpůsobení pro LVDS

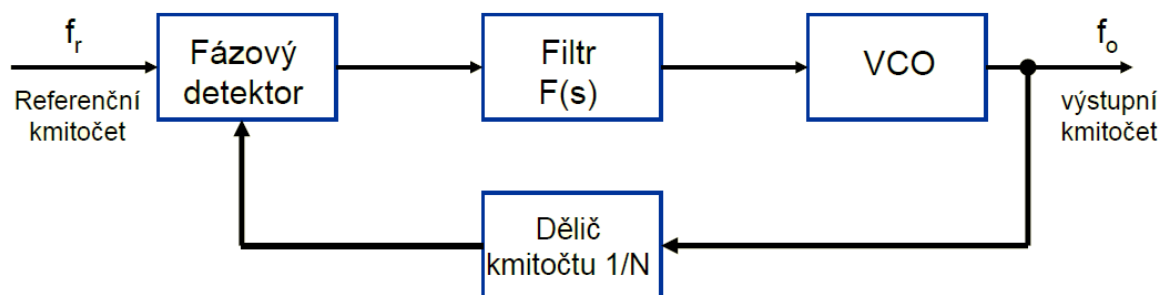
Na následujícím obrázku je vidět LVDPECL pár s impedancí 50ohm. Na rozdíl od LVDS potřebuje pro svou funkci neustále protékající velmi malý proud. Pro napájení se používá 3,3V, které je běžné pro integrované obvody. Pomocí Theveninovy věty se přes rezistory snižuje na 2V, které jsou potřebné pro LVPECL



Obrázek 6 Vzorové řešení impedačního přizpůsobení pro LVPECL

1.12 Fázový záměr PLL

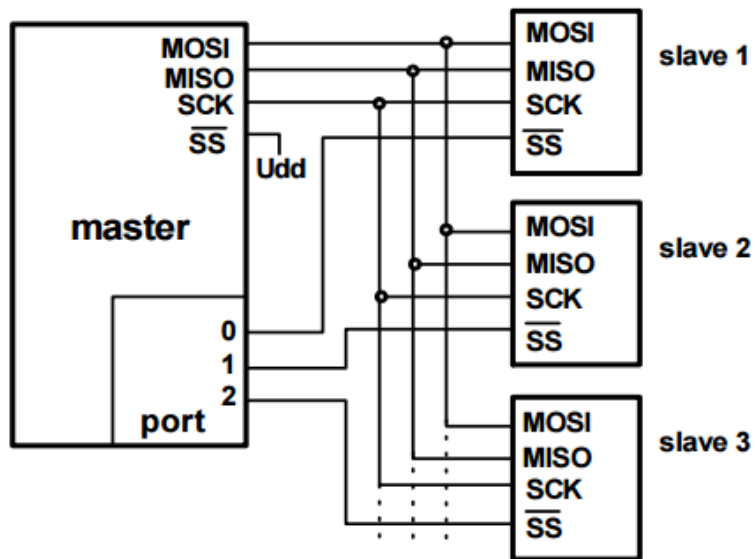
Slouží pro synchronizaci více signálů, např. hodinových. Na vstupu je fázový detektor, který sleduje fázi vstupního signálu a porovnává ji s fází výstupního signálu. Pokud se fáze liší, upraví se v číslicově řízeném oscilátoru frekvence, tak aby byly vstupní i výstupní signál ve fázi. Tím se docílí, že v další bloku bude na vstupu zpracovávat neposunutý signál se stejnou frekvencí a nebude docházet k překrývání jednotlivých vzorků.



Obrázek 7 Fázový záměr

1.13 SPI

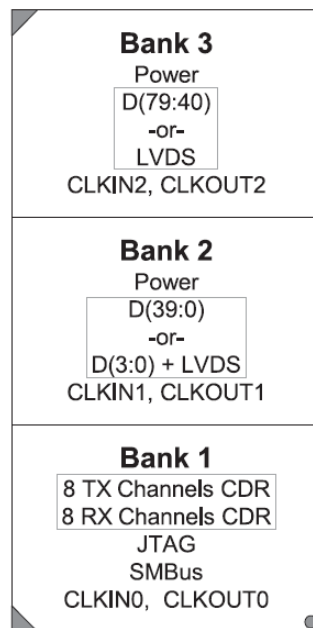
Je sériové čtyřvodičové duplexní rozhraní (Existují i 3-vodičové rozhraní SPI kde je MOSI a MISO spojen do jednoho pinu) kde přenos komunikace probíhá pomocí čtyř vodičů. Přenos je řízen řídicí jednotkou Master např. procesor a ta si předává informace s podřízenou jednotkou Slave např. A/D převodníkem. Informace může proudit současně pouze jedním směrem buď k podřízené jednotce MOSI nebo obráceně MISO. Na obrázku je vidět procesor s třemi podřízenými zařízeními. Pomocí SS (chip select) vybere, ke kterému zařízení se má přistupovat, proto musí být tento vodič vždy samostatný. Pomocí hodinového SCK se synchronizují obě zřízení a dochází k přenosu. Nevýhodou této sběrnice je potřeba mít ke každému zařízení vyveden jeden pin na procesoru na rozdíl od např. sběrnice I2C.



Obrázek 8 Schéma propojení bloků pomocí sběrnice SPI

1.14 Konektor HSMC

Altera High speed mezzanine card konektor je určen pro komunikaci mezi tištěnými deskami. Konektor HSMC má 172 pinů. Z toho 121 jsou signálové piny, 39 je napájecích pinů a zbylých 12 jsou zemnicí piny. Konektor se skládá ze tří částí pinů (bank). Konektor podporuje napájení 12 a 3,3 V pro napájecí bity. Každý třetí pin v bloku 2 a 3 je určen pro napájení. V prvním bloku jsou napájecí piny vynechány. V prvním bloku jsou nejrychlejší diferenční piny TX vysílače a RX přijmače přenosovou rychlostí 3,125 GSPS. Používají rozhraní JESD204b a PCML (Pseudo common mode voltage) kompatibilní s CML. A také sběrnice SMBUS částečně kompatibilní se sběrnici I2C a JTAG. Sběrnici SPI je možno programově navolit na piny LVDS/CMOS v druhém a třetím banku konektoru.. V blocích 2 a 3 jsou piny programově volitelné CMOS nebo LVDS. Jejich celkový počet je 80. Konektor má jeden diferenční vstup a výstup hodin v každém bloku. V prvním bloku konektoru jsou hodiny pouze jednovodičové a v bankách dvě a tři jsou diferenční s podporou LVPECL.



Obrázek 9 Schématické zobrazení typů signálů pro HSMC konektor⁵

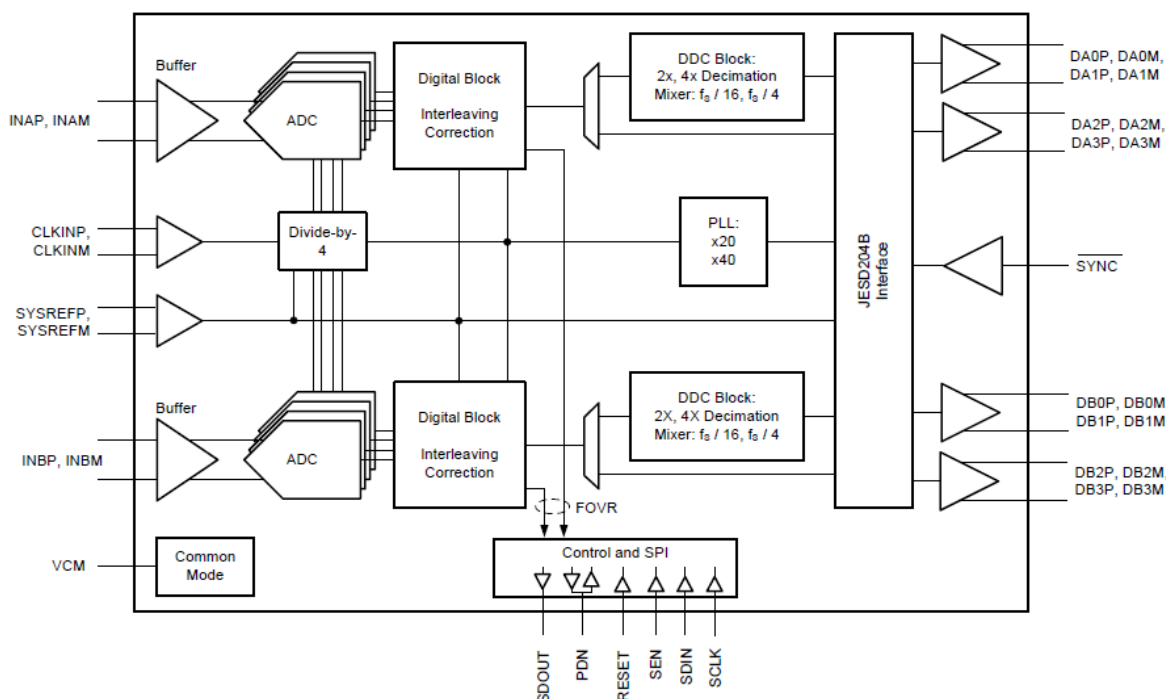
V technické dokumentaci Altery jsou u konektoru specifikovány délky tras pro CML, LVDS a CMOS. Signál se pohybuje téměř rychlostí světla, nicméně pro vyšší přenosové rychlosti a tím pádem i kratší dobou vystavení vzorku se musí počítat i s dobou, za kterou signál dorazí z výstupu na vstup. Protože při nedodržení těchto parametrů by mohlo dojít ke zpoždění nebo předstihu jednoho z diferenčního vodičů a na diferenční vstup by nedorazila správná informace. Délka idiferenční spojů by neměla přesáhnout 8000 mils na trase od vysílače k přijímači. Jednotlivé LVDS páry by měly být stejně dlouhé vůči ostatním LVDS párům s tolerancí 50 mils. Nejdůležitější vlastnost pro diferenční spoj by mělo být dodržení shodné délky N a P vodičů každého jednoho spoje s tolerancí 10 mils.

⁵ Altera Sockit User Guide. Altera [online]. [cit. 2016-08-07]. Dostupné z: <https://www.altera.com/products/soc/portfolio/cyclone-v-soc/overview.htm>

2 Popis součástek

2.1 ADS54J60

Je analogově-digitální převodník s rozlišením 16 bitů. Má dva diferenční interpolované vstupy I a Q. Je maximální vzorkovací frekvence je 1 GSPS. Vstup má vyrovnávací paměť (buffer), tím se méně zatěžuje a ovlivňuje vstupní převáděný signál. Není potřeba tento signál zesilovat, protože na zesilovači by přibyl šum a zkreslení signálu. Na výstupu mohou být data vysílána pomocí až 8 páru JESD204b s maximální přenosovou rychlostí páru 12,5 Gbps. Výstupní data mohou být distribuována po 8 párech JESD204b na každý vstup. Pokud je připojena k FPGA, které podporuje plnou rychlost JESD204b 12,5 Gbps, může být použito i méně diferenční párů JESD204b. Součástka řízena pomocí sběrnice SPI.

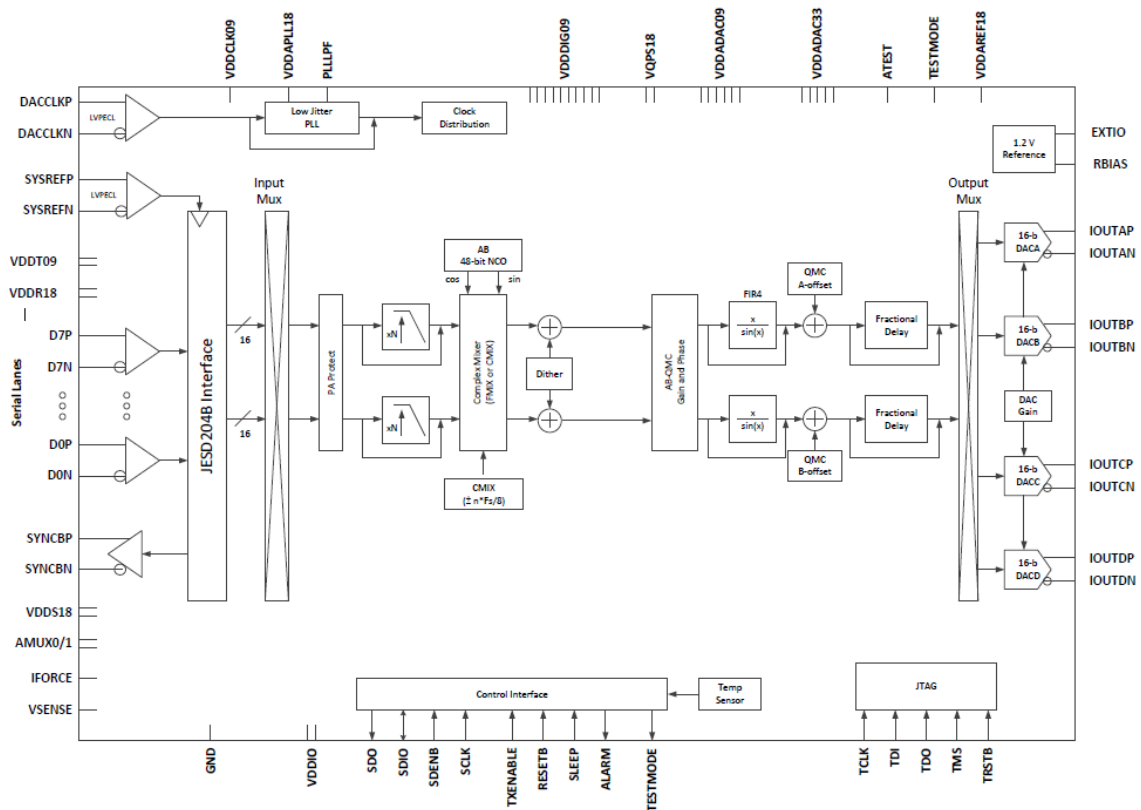


Obrázek 10 Zjednodušené schéma převodníku ADS54J60⁶

2.2 DAC39J82

DAC39J82 je digitálně analogový převodník s rozlišením 16 bitů a čtyřmi kanály. Jeho maximální vzorkovací rychlost je 2,8 GSPS. Má 8 párů JESD204b pro vstupní digitální signály z FPGA. Na vstupu lze nastavit zpoždění jednotlivých signálů „Group Delay“, to je vhodné, když při používání více převodníků současně. Vstupní data jsou synchronizována pomocí fázového závěsu PLL pomocí JESD204b rozhraní ze zdroje signálu, např. Hodin LM04828, aby nebyly vzorky zpracovány v předstihu nebo se zpožděním. Převodník je řízen pomocí sběrnice.

⁶ Datasheet ADS54J60 [online]. Texas Instrument. [cit. 2017-11-03]. <https://www.ti.com>

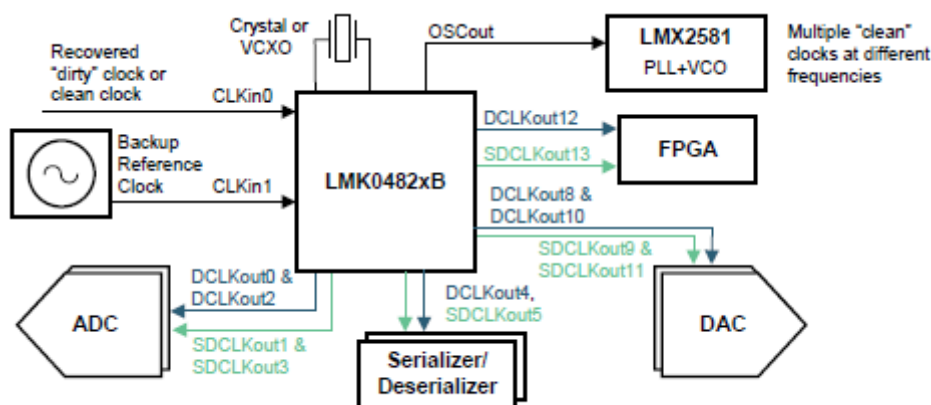


Obrázek 11 Zjednodušené převodníku DAC39J82⁷

2.3 LMK04828

Je synchronizátor hodin a čistič chvění hodinového signálu (jitteru). Pracuje do frekvence 2,8 GHz. Pomocí dvou krystalů VCO in a vlastního krystalu, Fázový detektor porovnává dva signály hodin z těchto krystalů a měří rozdíly mezi nimi. Porovnávané signály jsou odvozovány z referenčních hodin zařízení a hodin napěťově řízeného oscilátoru VCO a pomocí této reference se na výstupu dosahuje taktovacího hodinového signálu s menším chvěním hodinového signálu. Případně je možné použít i další referenční vstup hodin. Zařízení podporuje rozhraní JESD204b a dodává do obvodu referenční hodiny pro synchronizaci celého procesu.

⁷ Datasheet DAC39J82 [online]. Texas Instrument. [cit. 2017-11-03]. <https://www.ti.com>



Obrázek 12 Zjednodušené schéma časovače LMK04828⁸

2.4 SN74LVC8T245

SN74LVC8T245 je převodník napěťových úrovní (Level Shifter). Má 8 vstupů a 8 výstupů pro převod. Napětí na výstupu je nastavováno pomocí Vccb. Pin DIR slouží pro určení směru převodu. Při připojení na napájení převádí signály z A do B a při uzemnění vstupu obráceně.

2.5 TPS62085

TPS62085 je napěťový měnič typu Step down, který snižuje výstupní napětí. Rozsah vstupního napětí je od 2,5 V do 6 V a výstupní proud je maximálně 3 A. Zařízení obsahuje diodu pro usměrnění spínaného signálu a rovněž obsahuje tranzistorový spínač typu MOSFET. Není vhodný pro přímé zapojení k zařízení citlivých na čistotu napěťového signálu. Z důvodu principu snižování napětí spínáním zdroje.

⁸ Datasheet LMK04828 [online]. Texas Instrument. [cit. 2017-11-03]. <https://www.ti.com>

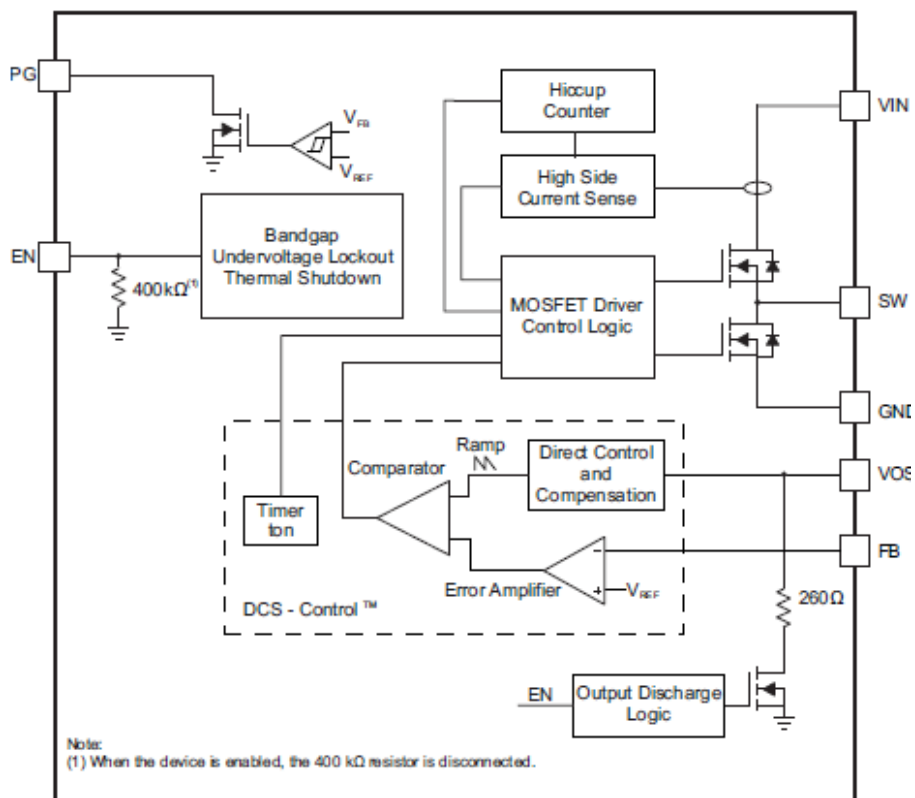


Figure 2. Functional Block Diagram

Obrázek 13 Zjednodušené schéma pro TPS62085⁹

⁹ Datasheet PS62085 [online]. Texas Instrument. [cit. 2017-11-04]. <https://www.ti.com>

3 Praktická část

3.1 Základní popis funkce

Deska se má připojit ke kitu Altera SoCkit, kde bude sloužit jako A/D a D/A převodník. Součástky jsou řízeny pomocí FPGA na Altera Sockit sběrnici SPI. HSMC konektor propojuje všechny vstupy a výstupy mezi přípravky. V první části (bance) konektoru se nachází přijímače RX a vysílače TX, kterými jsou propojeny data z AD převodníku a data do DA převodníku. Maximální přenosová rychlost JESD204b je 3,125Gbps, kterou podporuje FPGA Cyclone V na Altere SoC. V druhé bance konektoru se nacházejí LVDS páry směřující z AD převodníku do Altera Sockit a z desky LVDS páry do DA převodníku, sloužící pro další synchronizaci přenášených dat. Ke konektoru jsou připojeny hodinové taktovací signály rozhraní JESD204b s fázovým závěsem pro synchronizaci zápisu dat přes převodníky skrz HSMC do FPGA a obráceně z FPGA do převodníku. Rozvod hodinového taktovacího signálu je zajišťován pomocí LMK04828. LMK04828 pracuje s pomocí dvou oscilátorů. Jednoho vestavěného v samotné součástce, a druhého napěťově řízeného VCO s frekvencí 125Mhz s fázovým závěsem na LMK04828. LMK04828 vytvoří hodinové signál pro JESD204b a pro LVDS. Jako je frekvence pro DAC 1Ghz a např. 1,5Ghz pro ADC převodník, kde bude dále možno programově měnit děličky na různé frekvence. Ovládání bude řešeno pomocí sběrnice SPI. CMOS vstupy a výstupy např. SPI budou napojeny na Měniče napěťové úrovně (Level Shiftery), které mění napěťové úrovně z 3,3V na 2,5V pro připojení na konektoru HSMC a zpětně. Deska bude vybavena konektorem LTC pro další možné programování a ladění přes sběrnici SPI.

3.2 Popis schématu Napájení

Jako vstupní napájecí napětí pro desku se použije 5V. TPS562085 Step Down napěťový měnič sníží napětí vstupní z 5V na požadovanou hodnotu pro regulátory např. 3,3V nebo 13,2V plus úbytek napětí na lineárním stabilizátoru napětí TPS742 (např. 55mV pro odběr 1A), aby bylo na výstupu požadované napětí i při větší spotřebě proudu. TPS742 bude pokrývat napěťové poklesy a také sníží rušení napěťového signálu ze spínaného zdroje TPS562085. Pro napájení potřebujeme 3,3V, 1,9V, 0,9V, 3V a 2,5V. Na omezení rušení jsou na vstupu použita feritová jádra.

3.3 Popis schématu Měniče napěťové úrovně

Měniče napěťových úrovní (LevelShiftery) převádějí signály podle nastavení směru signály z A do B nebo obráceně. Výstupní velikost napětí signálů je rovna 3,3V a 2,5V v závislosti na směru.

3.4 Popis schématu Generátory taktovacích signálů

Obvod LMK04828 porovnává fáze taktovacích signálu krystalů. Ty jsou generovány napěťově řízeným oscilátorem VCO, který je spojen s LMK04828 pomocí fázového závěsu (PLL). LMK04828 porovnává změny fáze na vstupu a výstupu podle toho upraví

kmitočet VCO. Jako druhé referenční hodiny se používá vestavěný oscilátor. Z obou signálů vytváří LMK04828 hodinový taktovací signál s menším chvěním taktovacího hodinového signálu (jitterem). Obvod vytváří hodinový signál pro DAC převodník, výstup generátoru je typu LVPECL pro ADC a DAC. Dále vytváří hodinový signál pro FPGA na hostitelské desce Altera Sockit opět LVPECL. Dále vytváří taktovací hodinový signál SYS_REF pro JESD204b synchronizaci a přesné určení hodinového taktovacího signálu (deterministic latency).

3.5 Popis schématu DAC převodník

DAC39J82 přijímá 8 párů JESD204b a převádí je na analogový signál. Data jsou řízeny fázovým závěsem JESD204b a z FPGA přes HSMC konektor na diferenčním pinu SYNC pomocí páru LVDS. Generátor taktovacích hodin (LMK04828) poskytuje převodníku hodinový signál CLK a SYS_REF. Výstupy z DAC převodníku jsou přivedeny na konektory SMA.

3.6 Popis schématu ADC převodník

ADC převodník má zapojeny 4 páry JESD204b na každý kanál přes konektor HSMC do FPGA. Výstupním přenos bitů je opět řízen výstupními hodinovým signálem SYNC_REF LMK04828 pro synchronizaci obou součástí při zápisu dat z ADC. Vstupní signál do A/D převodníku je převeden pomocí transformátoru na diferenční. Na vstupu jsou také ochranné diody, které chrání obvod před vstupním signálem s vysokou amplitudou. Dále je možno na vstupu navolit pomocí spínače (Jumperu) stejnosměrné napětí, které napájí vstupy převodníku a tím omezuje zkreslení signálu při digitalizaci.

3.7 Popis schématu HSMC konektor

Konektor je rozdělen na tři bloky. První blok obsahuje spoje TX a RX, které jsou kompatibilní s rozhraním JESD204b a přenášení samotné vzorky (data) z a do převodníků. Na druhém bloku konektoru jsou připojeny dva páry LVDS pro synchronizaci ADC a také pro synchronizaci DAC. Poslední piny jsou opět jako na celém konektoru, určeny pro rozvod hodinového taktovacího signálu. Js zde hodinové taktovací signály z LMK04828. Jeden je hodinový taktovací signál pro FPGA a druhý je hodinový taktovací signál SYS_REF pro rozhraní JESD204b. Přes konektor z FPGA je dále zapojen taktovací signál pro DAC převodník. Hodinové taktovací signály jsou typu LVPECL. Ve třetím bloku konektoru jsou zbylé spoje s deskou převodníku. Jako Chip Select pro SPI sběrnici. Dále jsou zde osazeny vývody na signalizační diody a ostatní signály typu CMOS.

Závěr

V této práci je navržen obvod, který bude pracovat s deskou Altera SoCkit. Jako komunikační rozhraní byl použit konektor HSMC, který slouží pro propojování desek tištěných spojů. Důraz v práci byl kladen na vysokou rychlost převodníku. Z tohoto důvodu bylo nutno použít rozhraní JESD204b a diferenční spoje LVDS a LVPECL pro hodinové taktovací signály. Při použití LVDS párů pro přenos dat z převodníků namísto rozhraní JESD204b se např. pro 2-kanálový 16-bitový převodník musí použít 8 párů LVDS na každý kanál. Na konektoru HSMC není pro tolik diferenčních párů LVDS s použitím i DAC převodníku dostatečný počet pinů. Kvůli velkému vlivu chvění hodinového taktovacího signálu (jitteru) na parametry SNR a SFDR při vyšších frekvencích převodníků bylo nutné použít hodinový synchronizátor a čistič hodinového chvění taktovacího signálu s využitím fázového závěsu PLL a podporujícího JESD204b. Při použití rozhraní JESD204b s diferenčními páry, diferenčními páry LVDS a také diferenčními páry LVPECL je kladena vyšší náročnost na vodivé cesty a z toho plynoucí i větší hustota spojů kolem konektorů a součástek. Pro realizaci je vhodné použít kreslicí nástroj tištěných spojů, který podporuje měření vzdáleností diferenčních spojů. V obdobném programu je nakresleno schéma obvodu a tištěná deska. Shodující se délka diferenčních párů je nutná pro správnou funkci obvodu. Pro realizaci je zapotřebí použít vícevrstvou desku. Čtyřvrstvá deska se jeví jako minimum pro zachování všech parametrů tras vodivých cest diferenčních párů. Výsledná deska je šestivrstvá pro zlepšení parametrů diferenčních vodivých cest na desce.

Literatura

1. MAREK, Josef. Základní funkční principy A-D a D-A převodníků. [online]. [cit. 2015-03-28]. Dostupné z: fei-learn.upceucebny.cz
2. Terasic. Terasic, Main Boards Cyclone II. Terasic, Main Boards. [online] 2014. [cit. 2014-11-01]. Dostupné z: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=13&List=Simple#Category53>. 2.
3. Terasic HSMC Daughter Boards. Terasic Products. [online] 2014. [cit. 2014-11-01]. Dostupné z: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=67&No=278>.
4. TI. ADS54T02 | Wideband Receivers | Analog Front End (AFE) | Description & Parametrics. Analog, Embedded Processing, Semiconductor Company, Texas Instruments - TI.com. [online] 2014. [cit. 2014-11-06]. Dostupné z: <http://www.ti.com/lit/ds/symlink/ads54t02.pdf>.
5. 4.Inc., Texas Instruments. DAC3482 | High Speed DAC (>10MSPS) | Digital to Analog Converter | Description & parametrics. [online] 2013. [cit. 2014-11-06]. Dostupné z: <http://www.ti.com/general/docs/lit/getliterature.tsp?genericPartNumber=dac3482&fileType=pdf>.
6. Generátory a oscilátory. [online]. [cit. 2016-03-23]. Dostupné z: <http://www.isstechn.cz/Fobjekty/Fgenerator-a-oscilatory.doc&ei=tPYPVdP4FoXWU6DbgpAG&usg=AFQjCNFp1kwxvpqhMOghA ToYRMszV-W7Og&bvm=bv.88528373,d.d24>
7. Datasheet ADS12D1800RF. [online]. [cit. 2015-04-21]. Dostupné z: <http://www.ti.com/product/ADC12D1800/datasheet?keyMatch=ADC12D1800&tisearch=Search-EN-Everything>
8. Datasheet DAC3482j. [online]. [cit. 2015-04-21]. Dostupné z: <http://www.ti.com/product/DAC3482/datasheet?keyMatch=dac3482&tisearch=Search-EN-Everything>
9. Datasheet CDCE72010. [online]. [cit. 2015-04-21]. Dostupné z: <http://www.ti.com/lit/ds/symlink/cdce72010.pdf>

Příloha – Schéma zapojení

Příloha – Tištěná deska

6

5

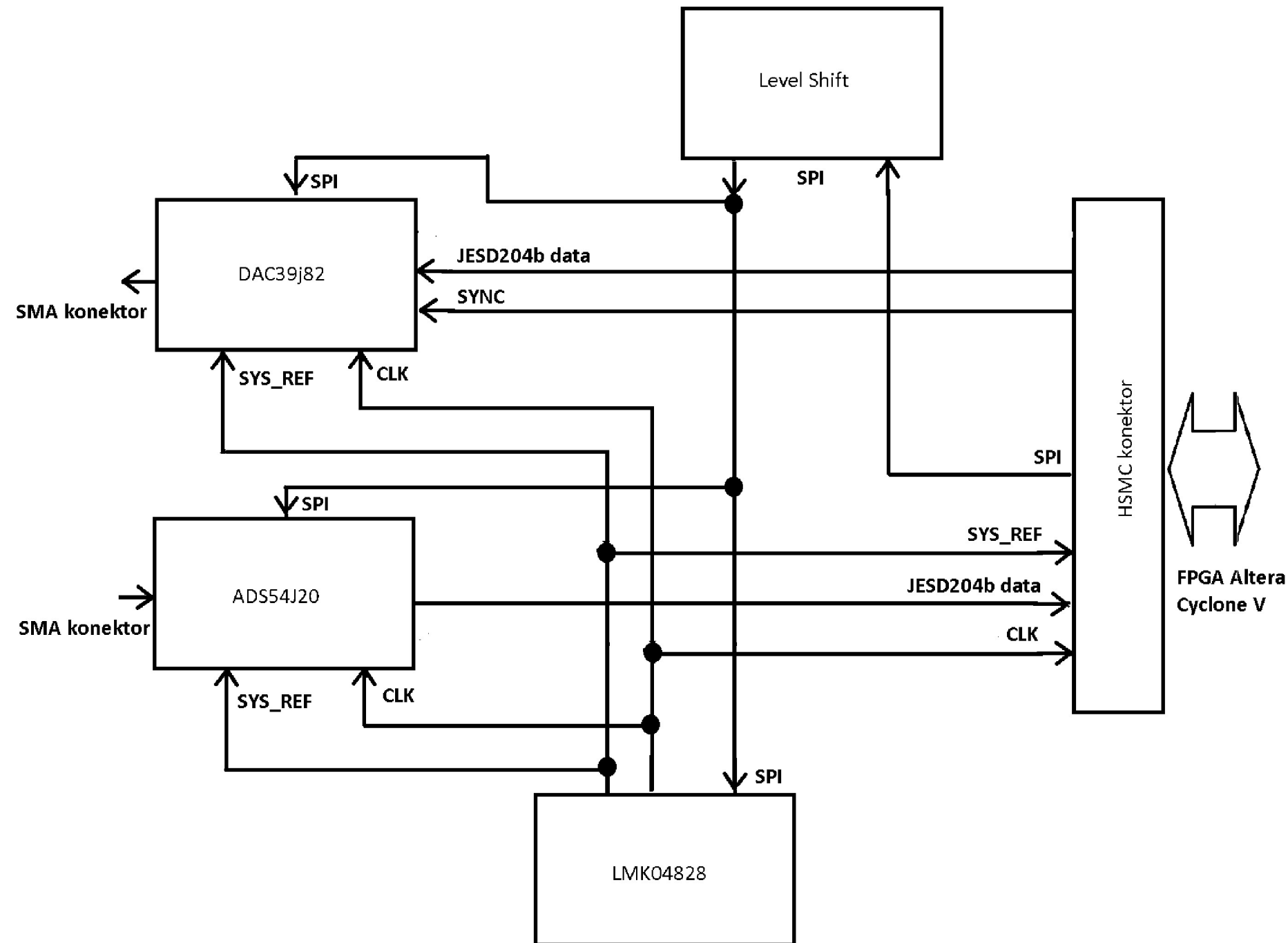
4

3

2

1

Zjednodusene schema



REVISION RECORD

LTR	ECO NO:	APPROVED	DATE:

Obsah stranek

- 1.Schema a obsah
- 2.Generator hodin
- 3.Generator hodin vystupy
- 4.Generator hodin napajeci vstupy
- 5.ADC
- 6.ADC napajeci vstupy
- 7.DAC
- 8.DAC vystupy SMA
- 9.DAC napajeci vstupy
- 10.DAC napajeci vstupy 2
- 11.Konektory
- 12.Prevodniky napetove urovne
- 13.Prevodniky napetove urovne 2
- 14.HSMC konektor
- 15.HSMC konektor 2
- 16.Menice napeti
- 17.Menice napetii 2
- 18.Menice napeti 3
- 19.Menice napeti 4
- 20.Menice napeti 5

Spolecnost:

UPCE FEI Pardubice

Nazev:

ADC a DAC pro Altera SoC Cyclone V

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:

Velikost:

Cislo vykresu:

REV:

B

Schema a obsah

Meritko:

Str.: 1 z 20

6

5

4

3

2

1

SMA_KONEKTOR

Volitelný vstup externích hodin

J9

J14

100n

C285

240

R142

240

R143

100n

C286

Feedback pro EXT CLK

D18

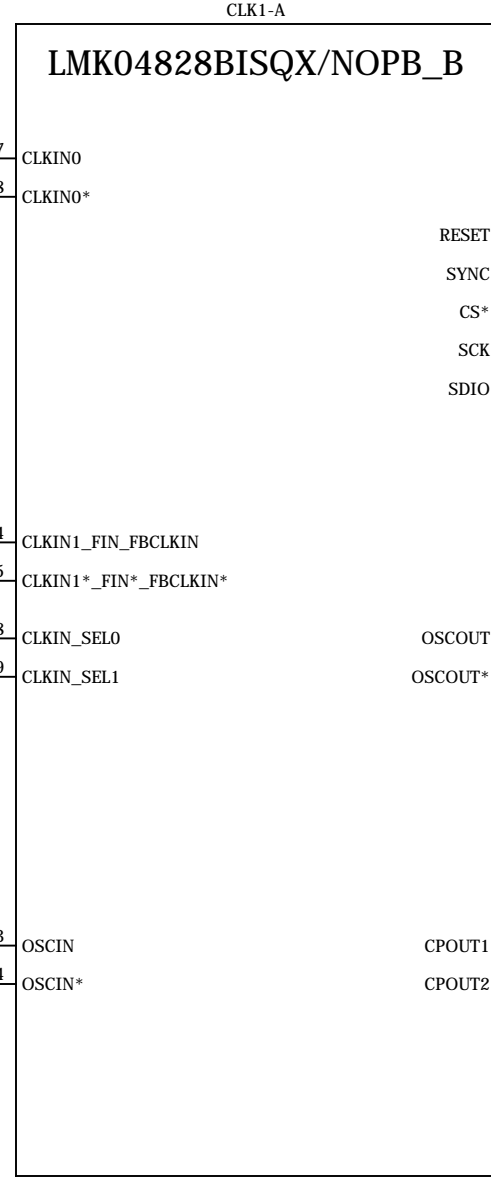
D17

Ochrana vstupu diodami

D

D

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

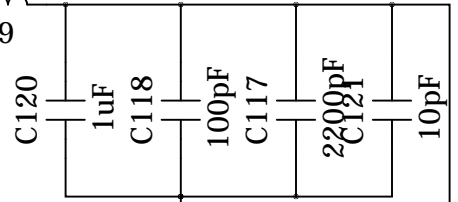


VCO_Napajeni

BLM31PG121SN1L

CLK+3.3V

FB9



CLK+3.3V

C

C

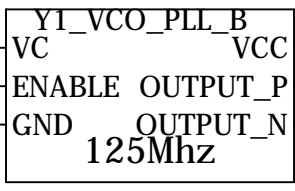
Nepouzite piny

Nepouzite piny

B

B

CPOUT PLL do VCO

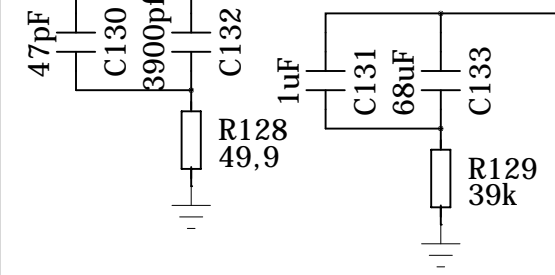


Vstup z VCO

CPOUT PLL do VCO

A

A



CLK+3.3V

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost:	Cislo vykresu:	REV:
B		Generator hodin	
Meritko:			Str.: 2 z 20

6

5

4

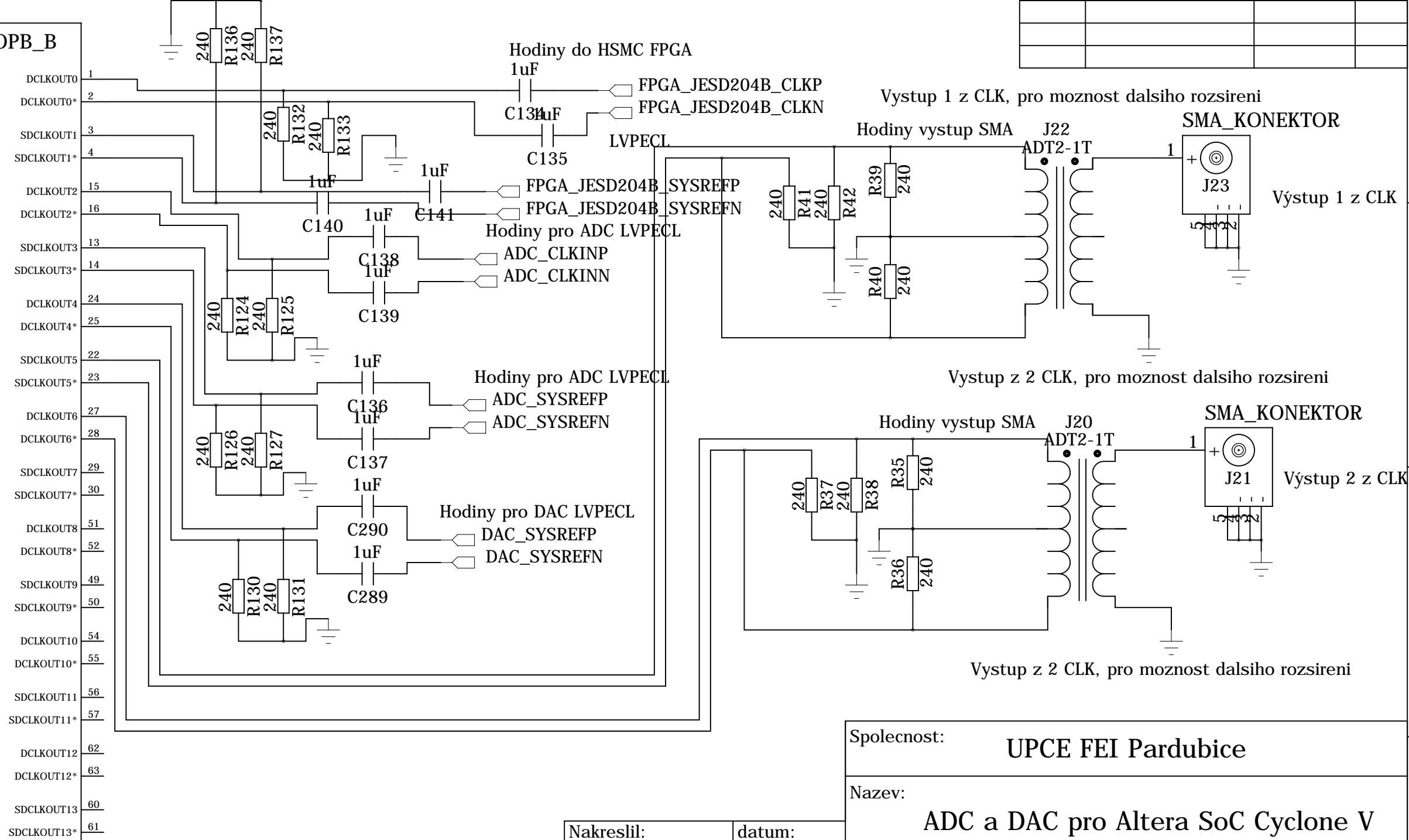
3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

CLK1-C
LMK04828BISQX/NOPB_B



Spolecnost: **UPCE FEI Pardubice**

Nazev: **ADC a DAC pro Altera SoC Cyclone V**

Nakreslil: Jan Třišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:	Velikost:	Nazev stranky:	REV:
	B	Generator hodin vystupy	

6

5

4

3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

D

D

CLK+3.3V

C

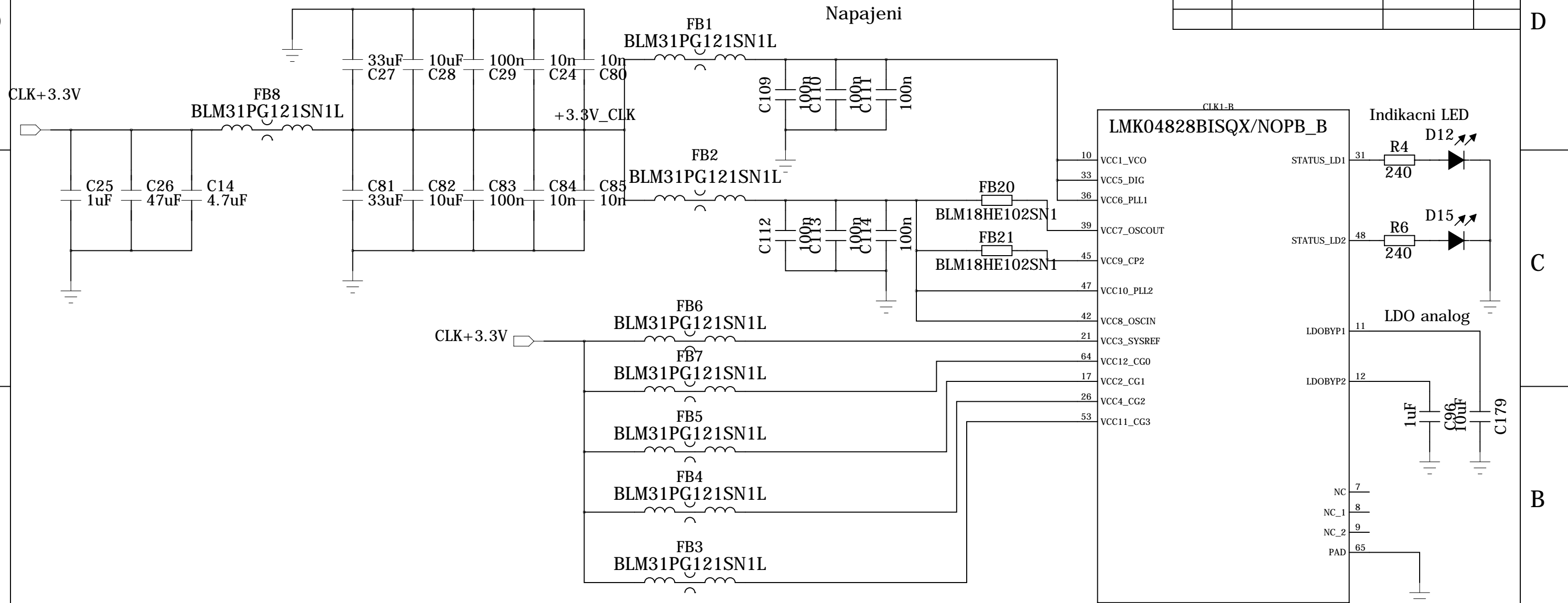
C

B

B

A

A

Společnost: **UPCE FEI Pardubice**Název: **ADC a DAC pro Altera SoC Cyclone V**

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydáno:	datum:

kod:	Velikost: B	Název stránky: Generator hodin napajeci vstupy	REV:
------	-----------------------	--	------

Meritko: Str.: 4 z 20

6

5

4

3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

D

D

C

C

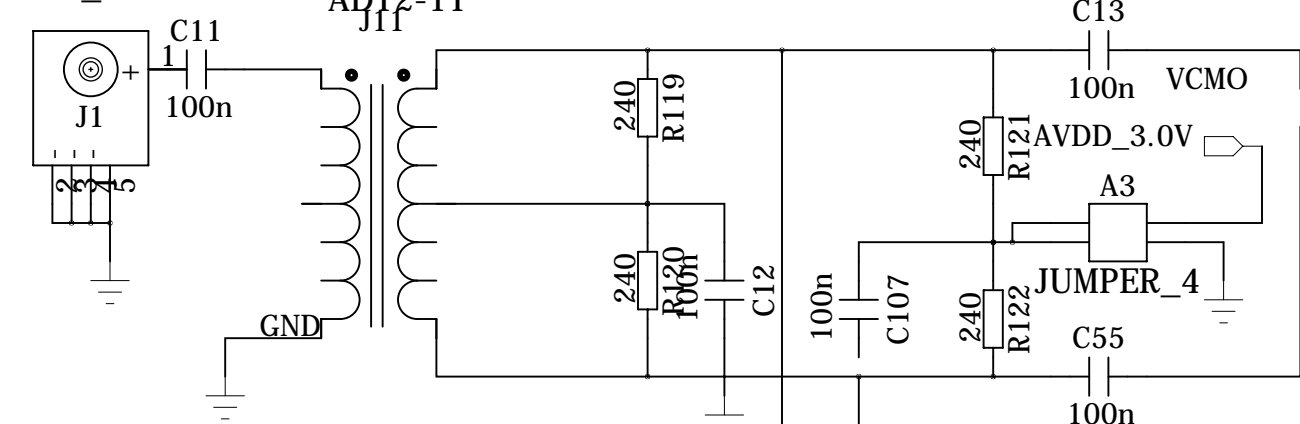
B

B

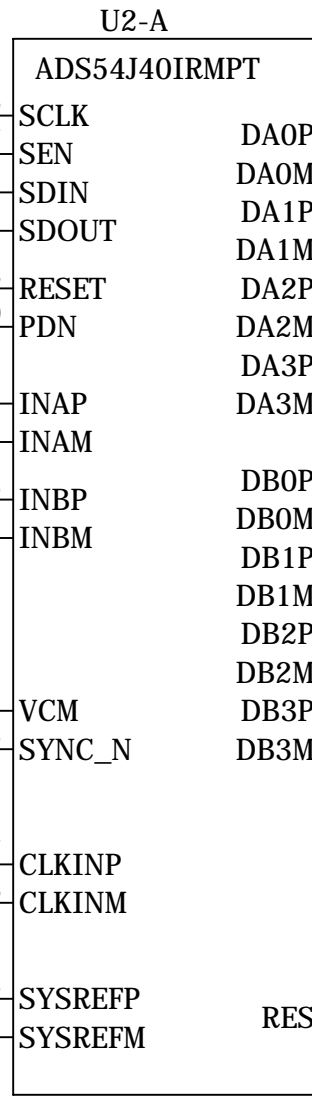
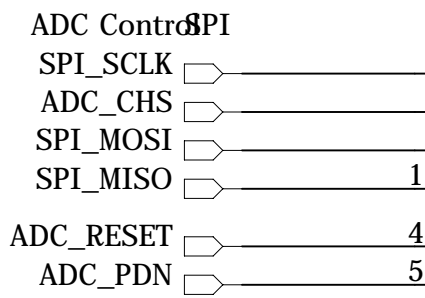
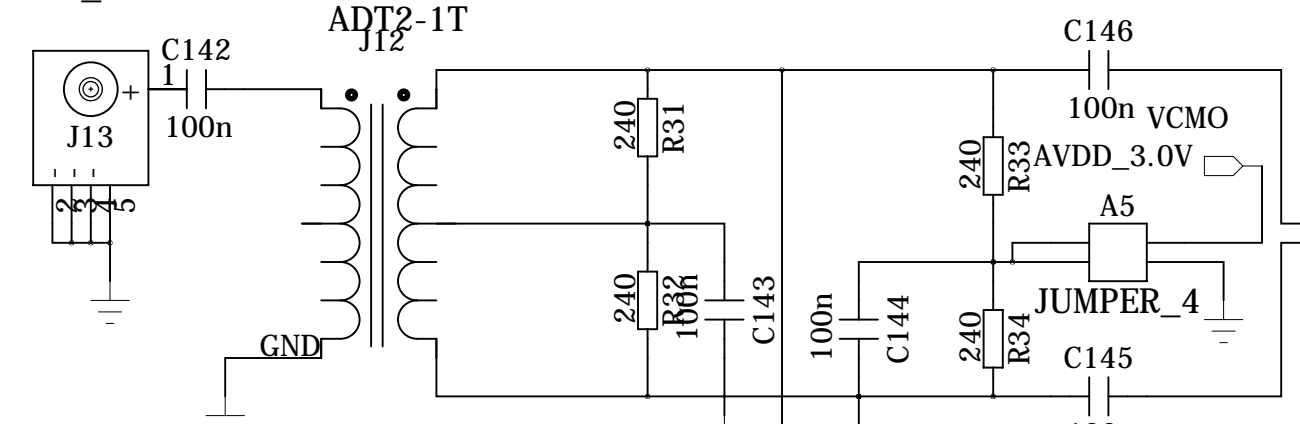
A

A

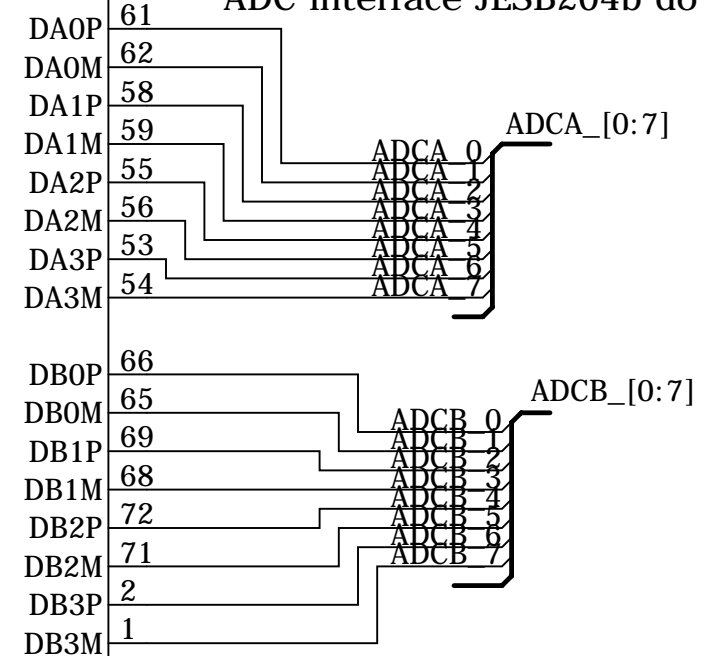
Vstup pro ADC A
SMA_KONEKTOR



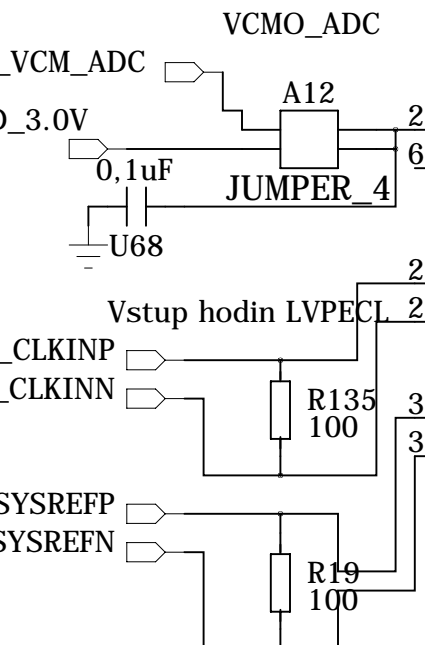
Vstup pro ADC B
SMA_KONEKTOR



ADC interface JESB204b do HSMC



Pro prehlednost neuvadn C-10n,
pres kazdy vodic



Spolecnost: UPCE FEI Pardubice

Nazev: ADC a DAC pro Altera SoC Cyclone V

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:	Velikost: B	Nazev stranky: ADC	REV:
------	-----------------------	------------------------------	------

6

5

4

3

2

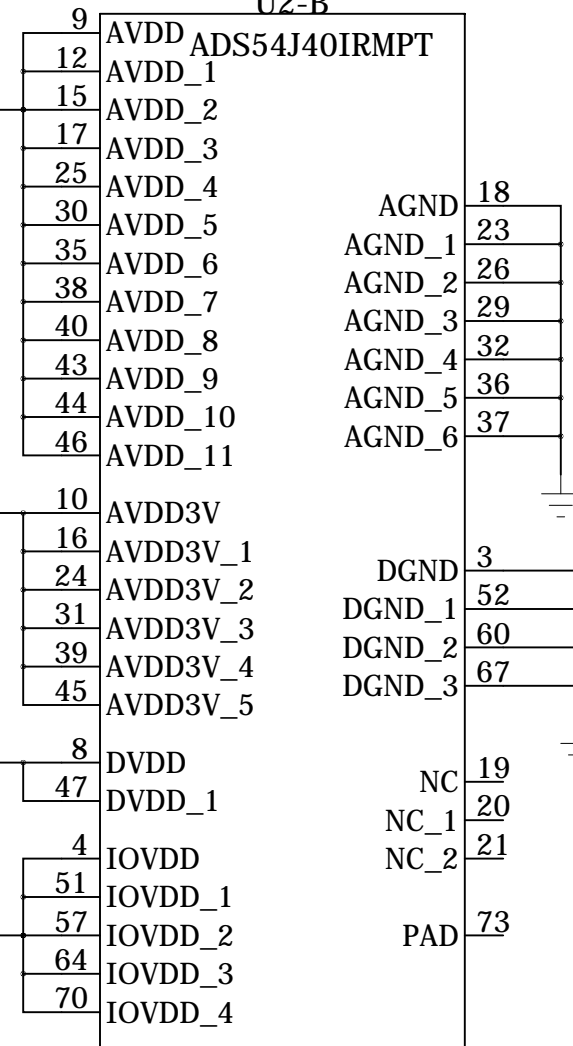
1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

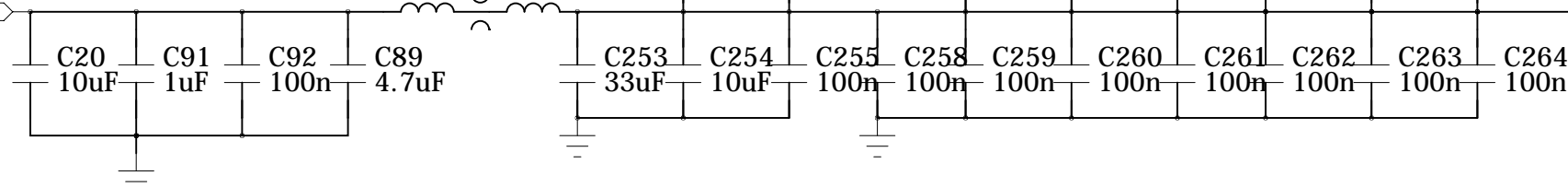
Umistit co nejbliže napajecim pinum AVDD_1.9V

U2-B

AVDD_1.9V



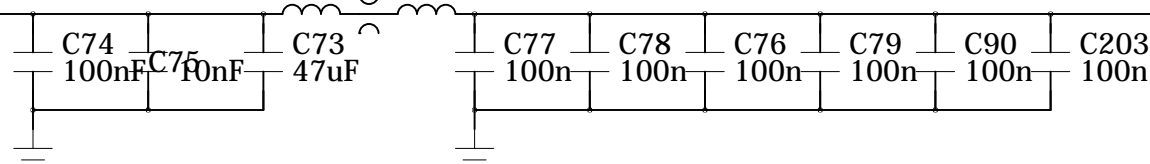
FB10
BLM31PG121SN1L



AVDD_3.0VA

FB11
BLM31PG121SN1L

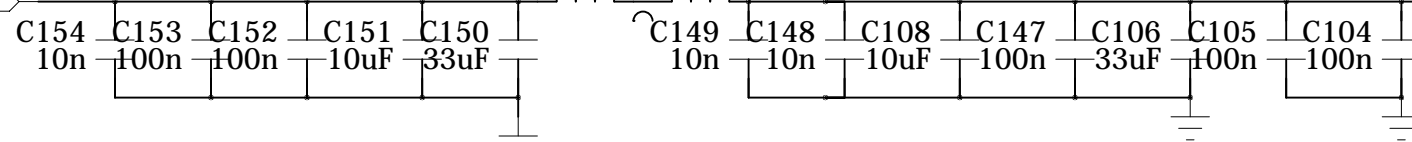
Umistit co nejbliže napajecim pinum AVDD_3.0V



DRVDD_1.9V

FB14
BLM31PG121SN1L

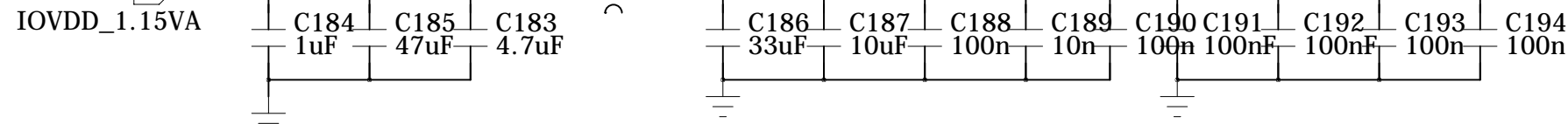
Umistit co nejbliže napajecim pinum



IOVDD_1.15V

FB15
BLM31PG121SN1L

Umistit co nejbliže napajecim pinum



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost:	Nazev stranky:	REV:
	B	ADC napajeci vstupy	
Meritko:			Str.: 6 z 20

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

D

D

C

C

B

B

A

A

6

5

4

3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

D

D

C

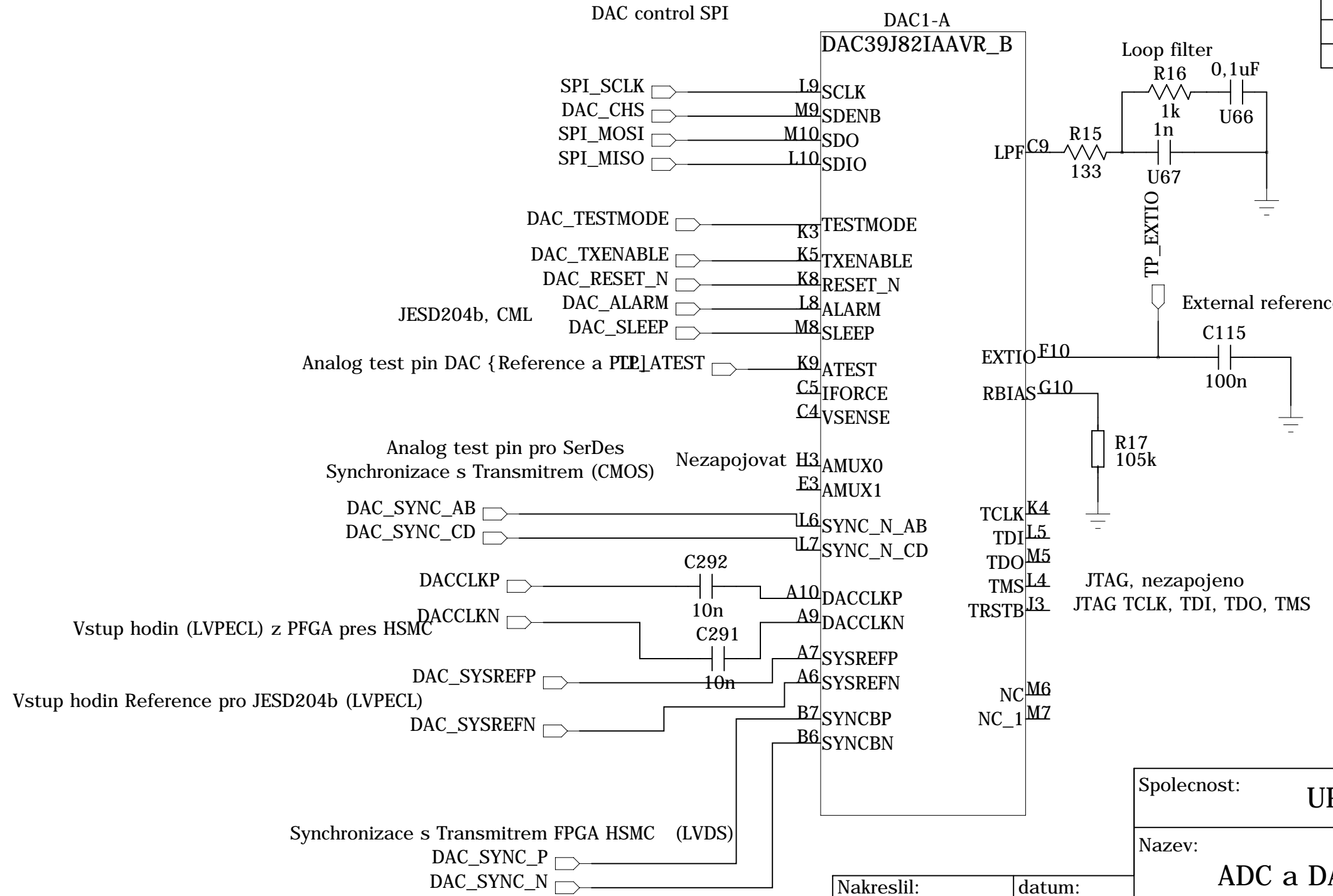
C

B

B

A

A



Spolecnost: **UPCE FEI Pardubice**

Nazev: **ADC a DAC pro Altera SoC Cyclone V**

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:	Velikost:	Nazev stranky:	REV:
	B	DAC	

6

5

4

3

2

1

D

C

B

A

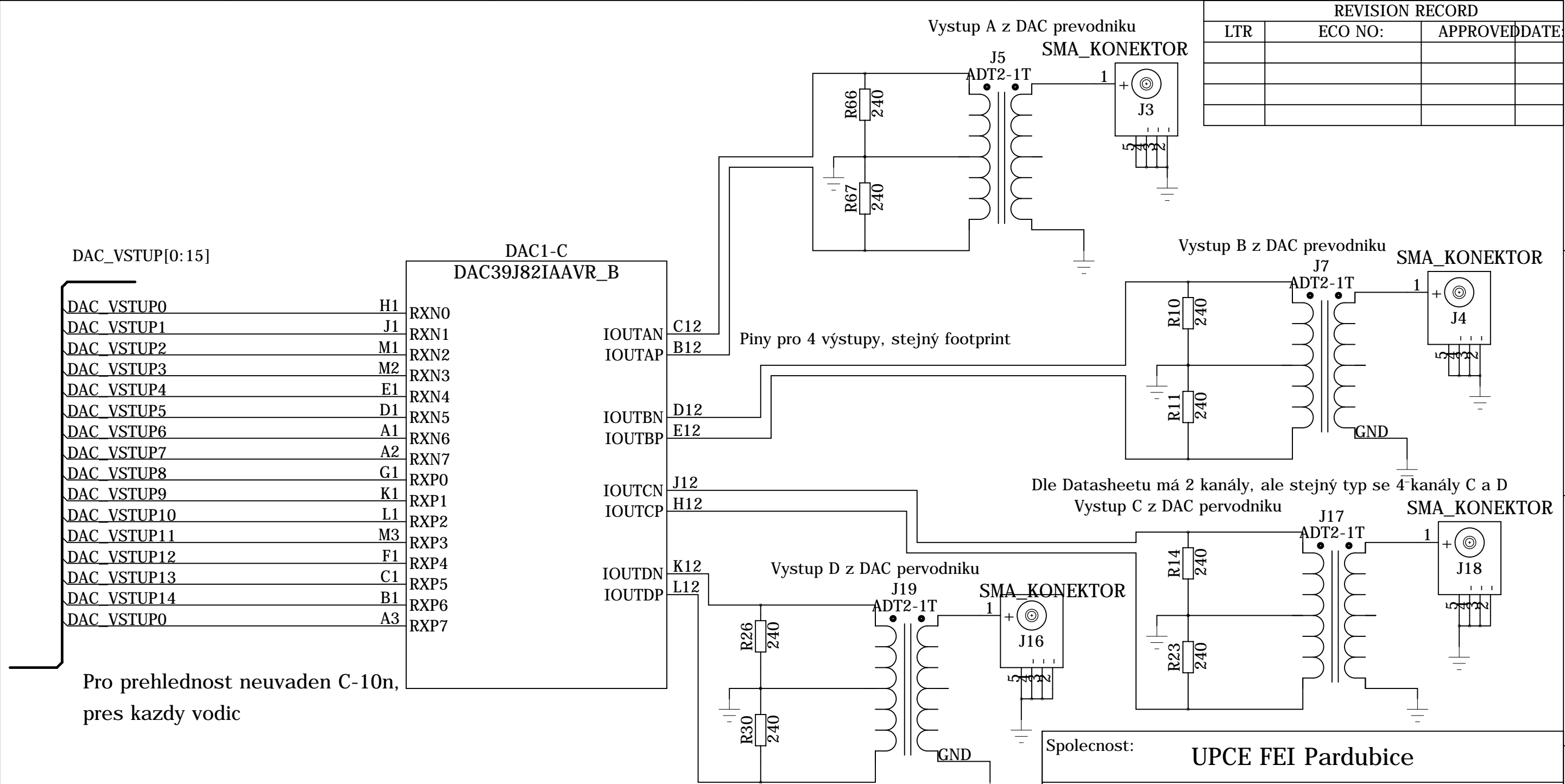
D

C

B

A

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE



DAC_VSTUP[0:15]		DAC1-C DAC39J82IAAVR_B	
DAC_VSTUP0	H1	RXN0	IOUTAN
DAC_VSTUP1	J1	RXN1	IOUTAP
DAC_VSTUP2	M1	RXN2	IOUTBN
DAC_VSTUP3	M2	RXN3	IOUTBP
DAC_VSTUP4	E1	RXN4	IOUTCN
DAC_VSTUP5	D1	RXN5	IOUTCP
DAC_VSTUP6	A1	RXN6	IOUTDN
DAC_VSTUP7	A2	RXN7	IOUTDP
DAC_VSTUP8	G1	RXP0	
DAC_VSTUP9	K1	RXP1	
DAC_VSTUP10	L1	RXP2	
DAC_VSTUP11	M3	RXP3	
DAC_VSTUP12	F1	RXP4	
DAC_VSTUP13	C1	RXP5	
DAC_VSTUP14	B1	RXP6	
DAC_VSTUP0	A3	RXP7	

Spolecnost: **UPCE FEI Pardubice**

Nazev: **ADC a DAC pro Altera SoC Cyclone V**

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:	Velikost:	Nazev stranky:	REV:
	B	DAC vystupy SMA	

6

5

4

3

2

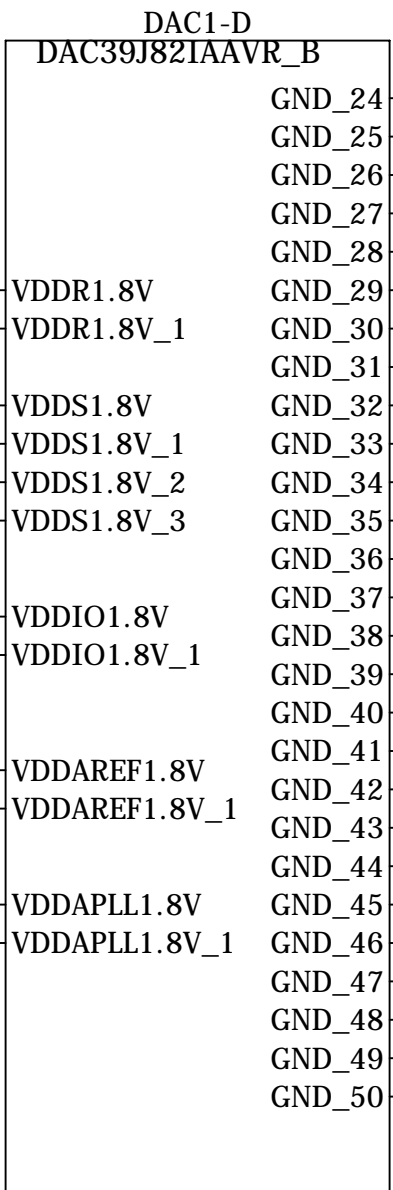
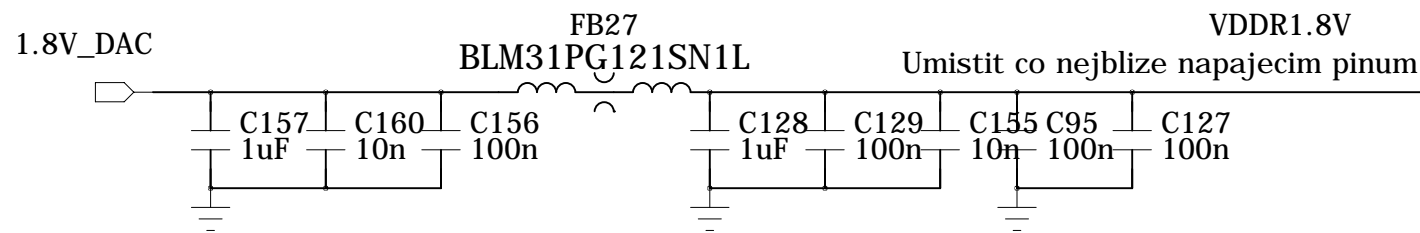
1

REVISION RECORD

LTR	ECO NO:	APPROVED	DATE

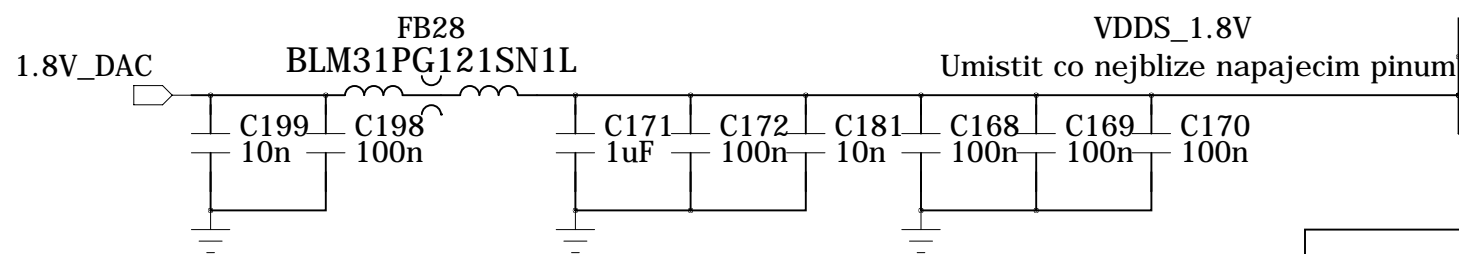
D

D



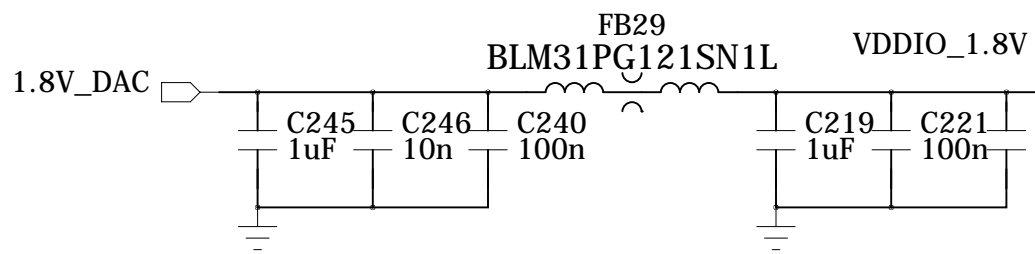
C

C



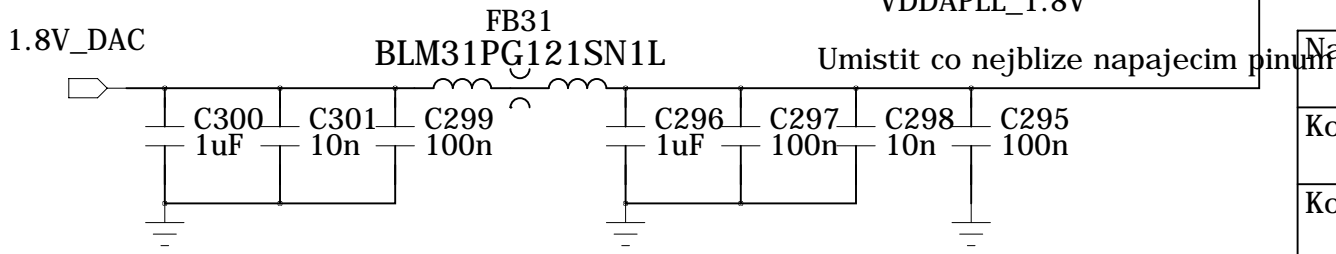
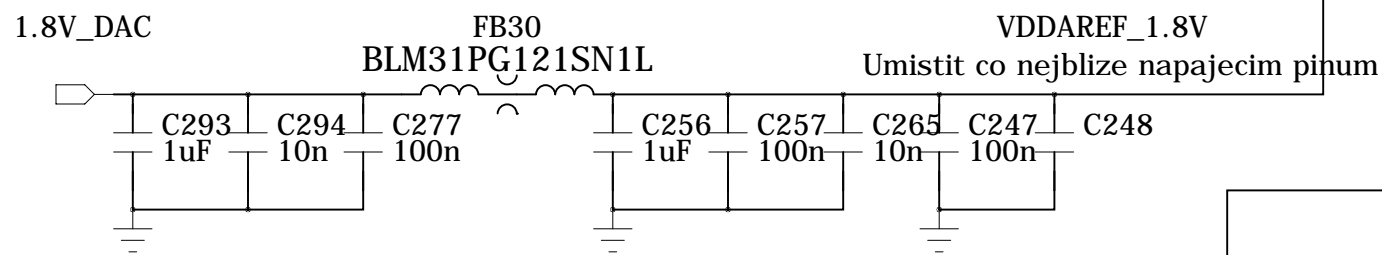
B

B



A

A



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
Kontrola:	datum:	kod:	Velikost: Nazev stranky: REV:
Kontrola kvality:	datum:	B DAC napajeci vstupy	
Vydano:	datum:	Meritko: Str.: 9 z 20	

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

6

5

4

3

2

1

D

C

B

A

D

C

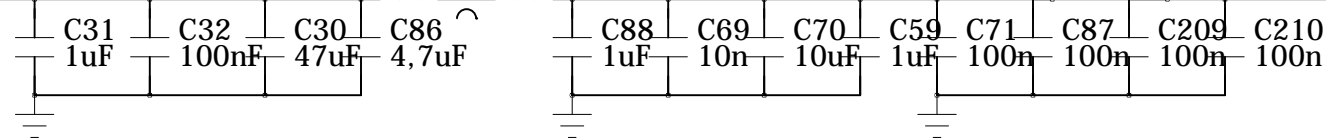
B

A

VDDADAC_3.3VA

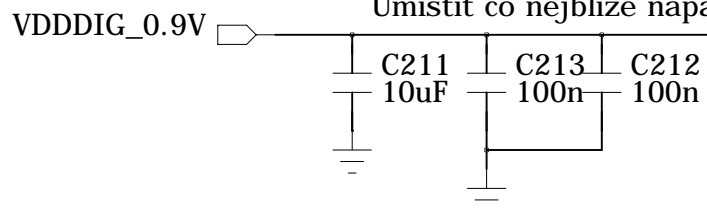
FB18
BLM31PG121SN1L

Umistit co nejbliže napajecim pinum



VDDT_0.9V

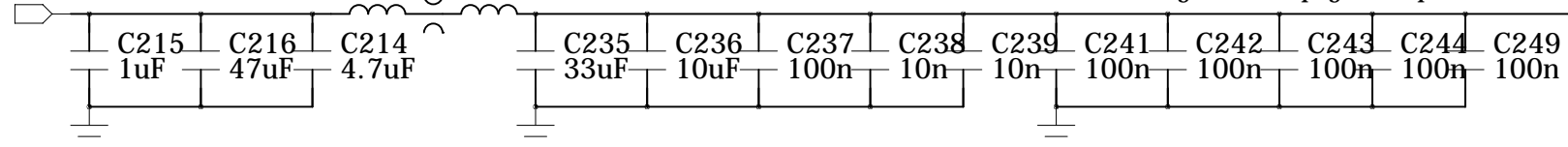
Umistit co nejbliže napajecim pinum



VDDDIG_0.9V

FB16
BLM31PG121SN1L

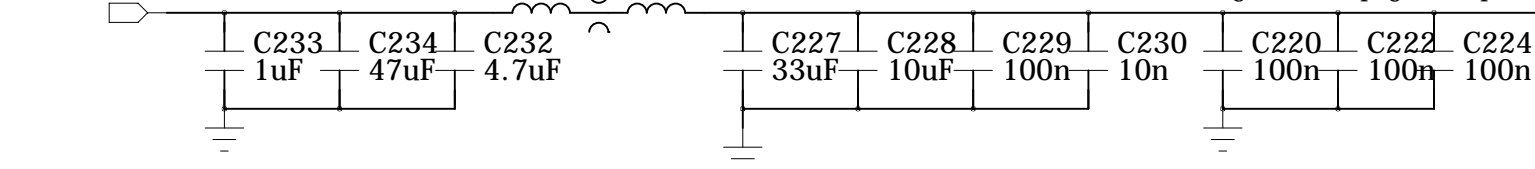
Umistit co nejbliže napajecim pinum



VDDDAC_0.9V

FB17
BLM31PG121SN1L

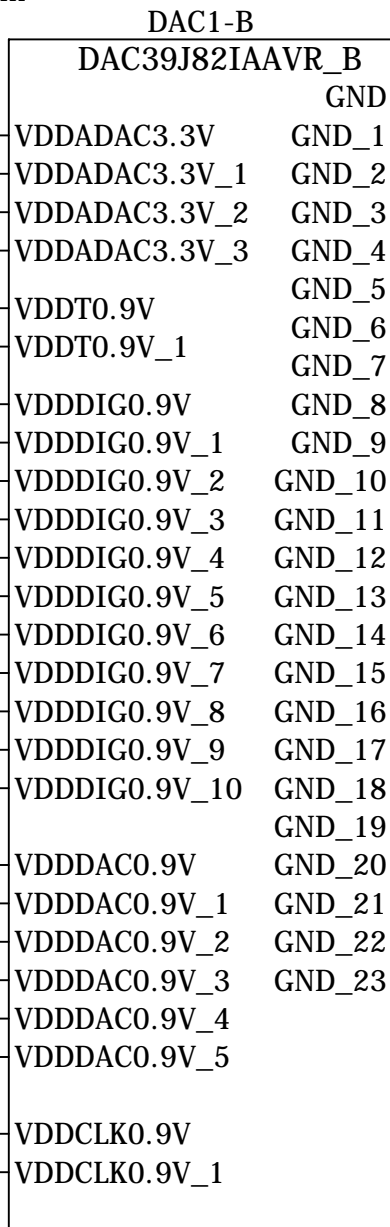
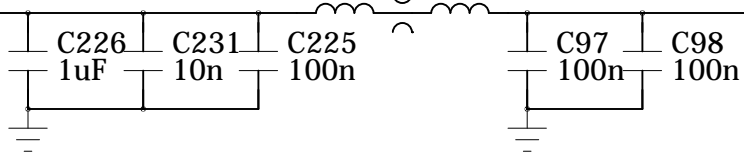
Umistit co nejbliže napajecim pinum



VDDDIG_0.9V

FB19
BLM31PG121SN1L

Umistit co nejbliže napajecim pinum



REVISION RECORD

LTR	ECO NO:	APPROVED	DATE:

Spolecnost: UPCE FEI Pardubice

Nazev: ADC a DAC pro Altera SoC Cyclone V

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

kod:	Velikost:	Nazev stranky:	REV:
	B	DAC napajeci vstupy 2	

6

5

4

3

2

1

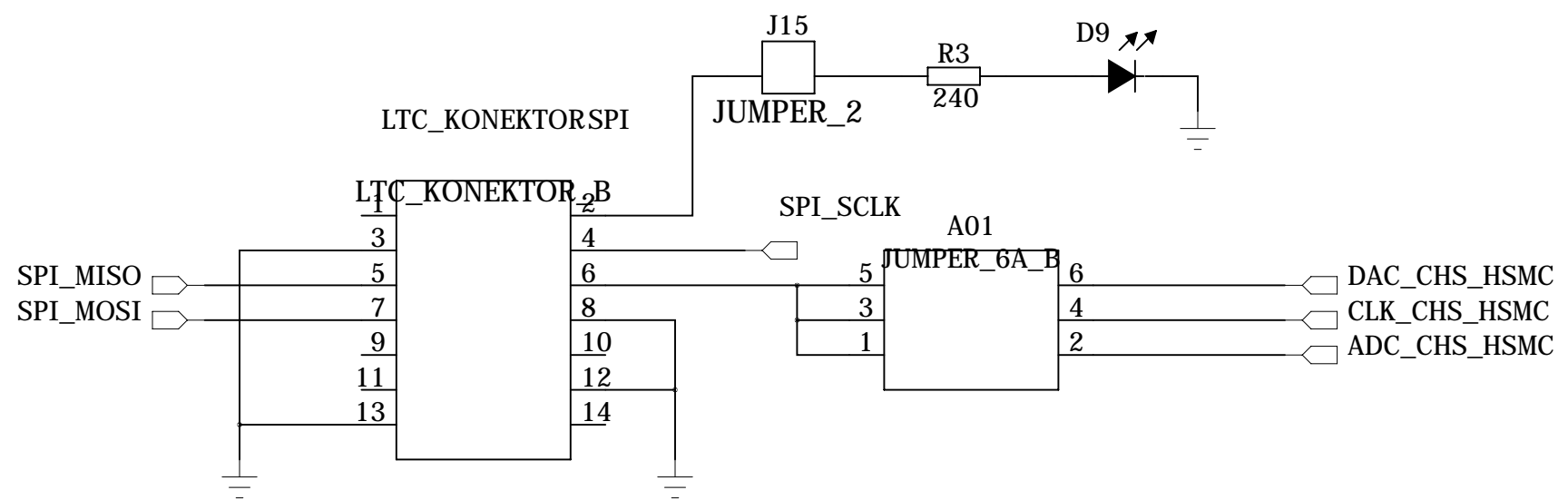
REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

D

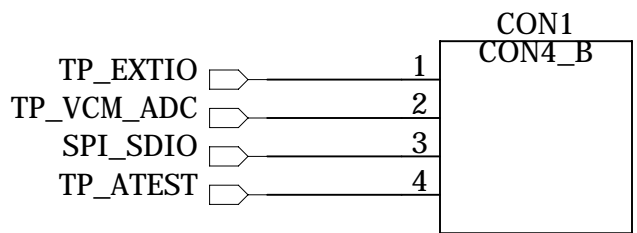
D

C

C



Konektor s dalšími výstupy



B

B

A

A

Společnost: UPCE FEI Pardubice			
Název: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost: B	Název stránky:	REV:
		Konektory	
Meritko:			Str.: 11 z 20

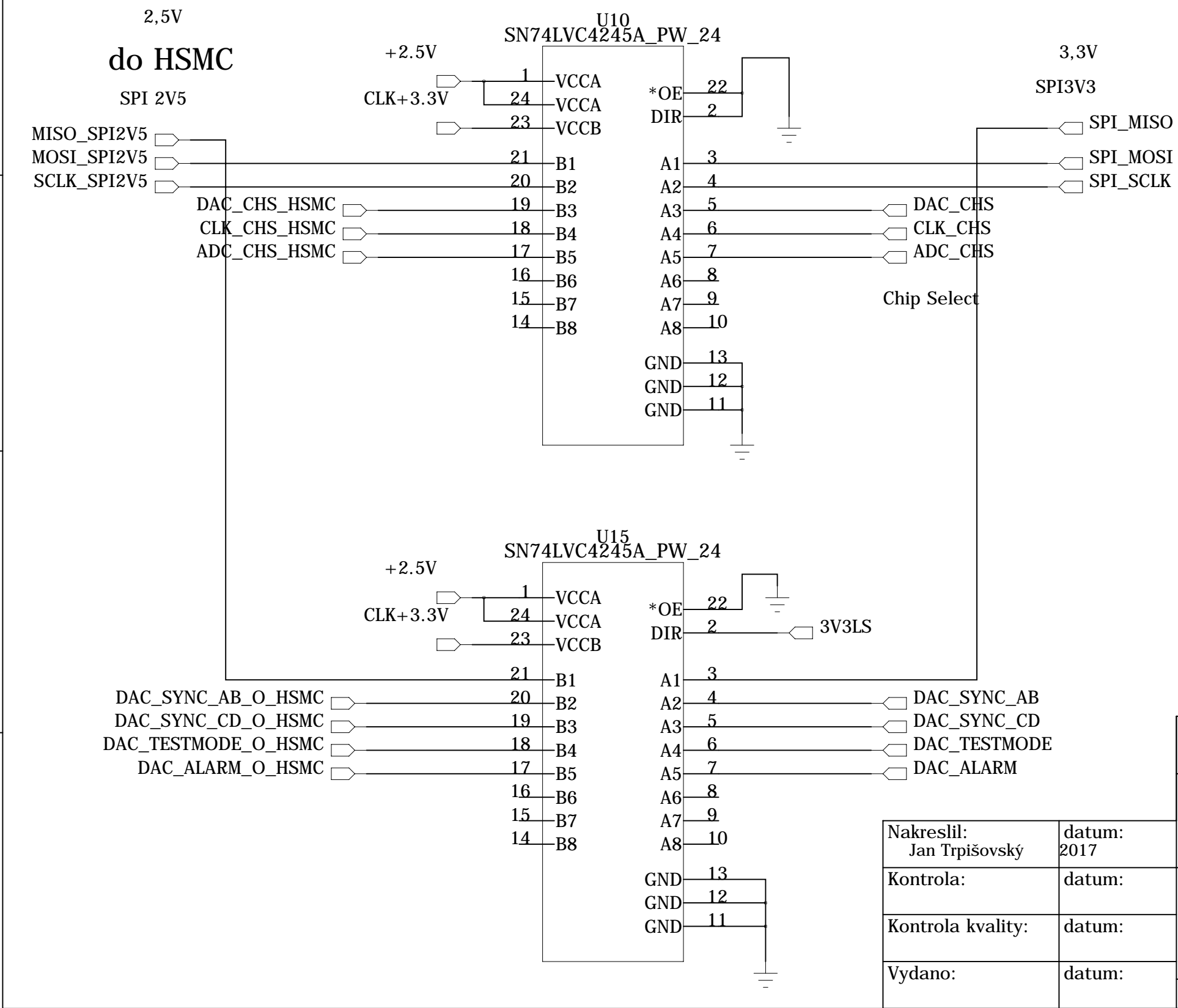
Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydáno:	datum:

6 5 4 3 2 1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

D
C
B
A

D
C
B
A



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
Kontrola:	datum:	kod:	Velikost: B
Kontrola kvality:	datum:	Nazev stranky: Prevodniky napetove urovne	
Vydano:	datum:	REV:	
Meritko:		Str.: 12 z 20	

6

5

4

3

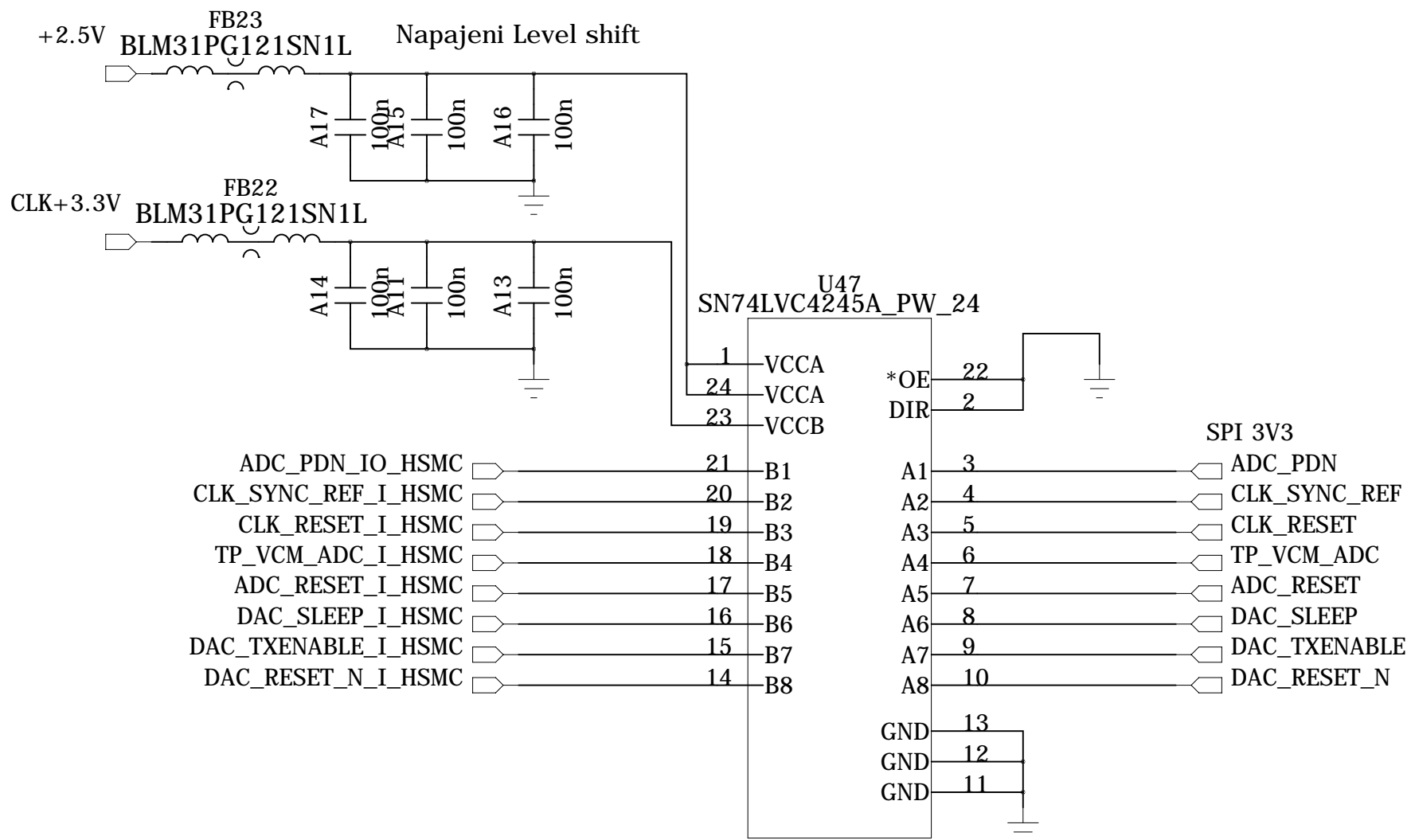
2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

D

D



C

C

B

B

A

A

Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost: B	Nazev stranky: Prevodniky napetove urovne 2	REV:
Meritko:		Str.: 13 z 20	

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

6

5

4

3

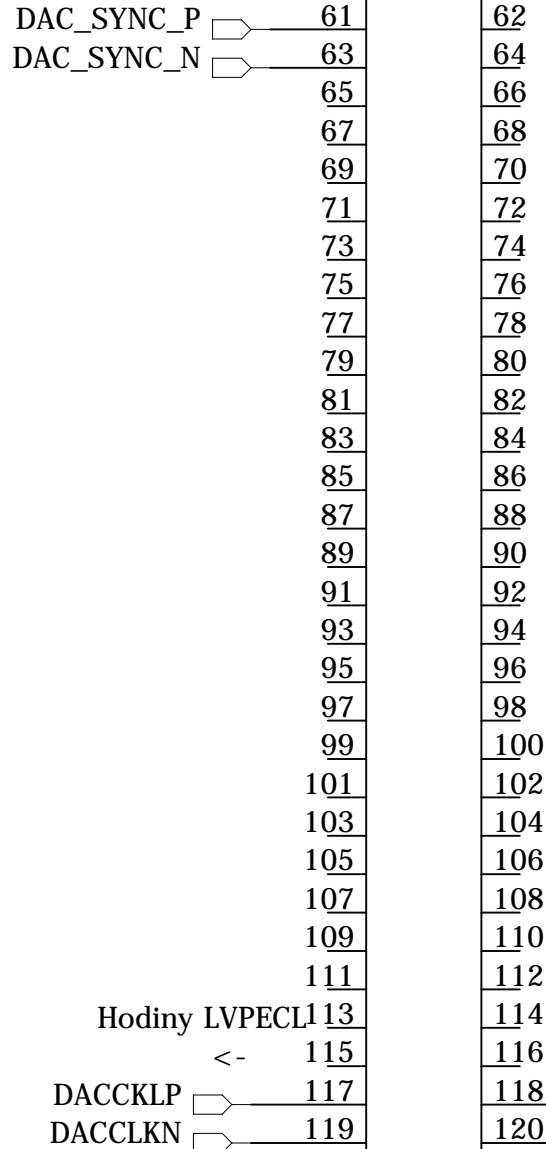
2

1

LVDS

J2-B

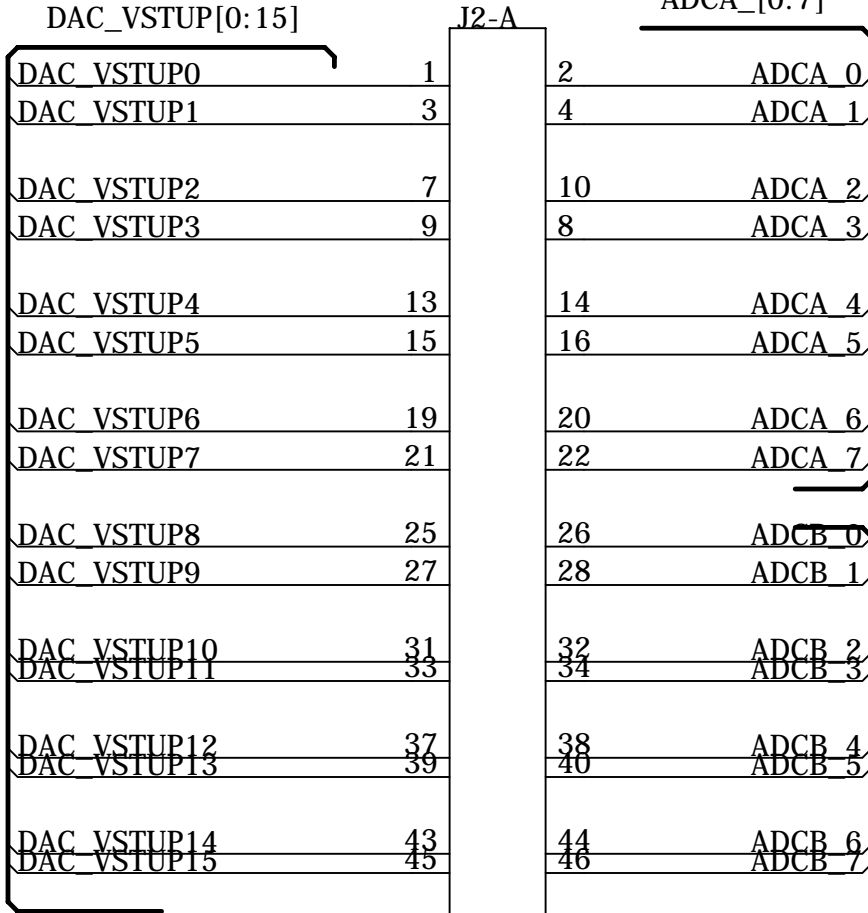
QTH-090-01-X-D-A_2_B



JESD204b interface

<- do HSMC

z HSMC <- QTH-090-01-X-D-A_2_B



I2C/SMBUS

49 51

JTAG

55 57

181

182

GND

183

184

REVISION RECORD

LTR	ECO NO:	APPROVED	DATE

114 Hodiny LVPECL

118 FPGA_JESD204B_SYSREFP

120 FPGA_JESD204B_SYSREFN

Spolecnost: **UPCE FEI Pardubice**

Nazev: **ADC a DAC pro Altera SoC Cyclone V**

Nakreslil: Jan Trpišovský	datum: 2017	kod:	Velikost: B	Nazev stranky: HSMC konektor	REV:
Kontrola:	datum:				
Kontrola kvality:	datum:	Meritko:		Str.: 14 z 20	
Vydano:	datum:				

185

186

GND

187

188

189

6

5

4

3

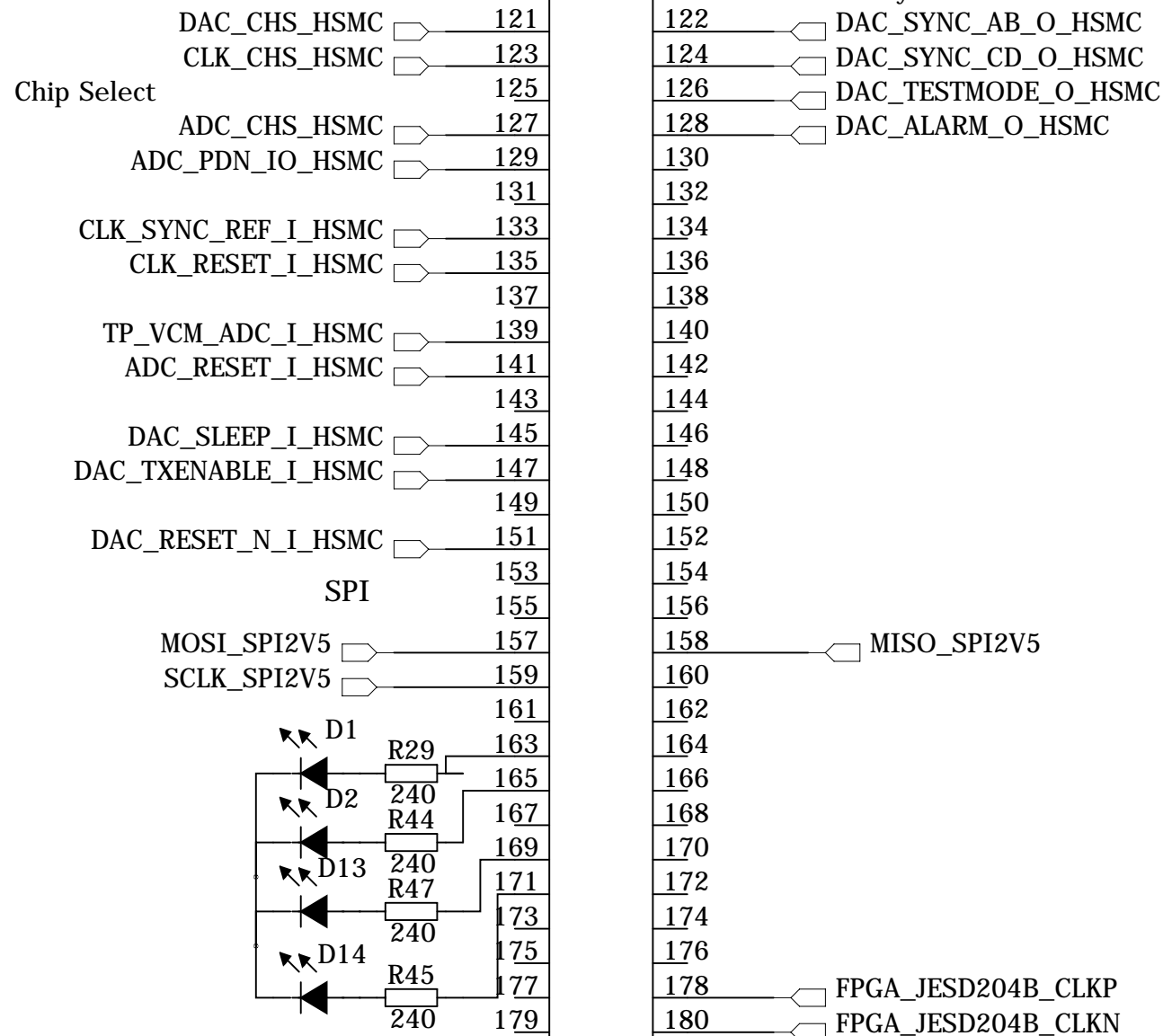
2

1

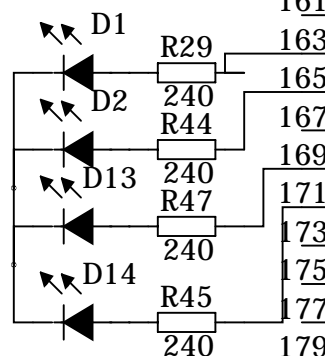
REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

CMOS
J2-C
QTH-090-01-X-D-A_2_B

<- Pro synchronizaci s DAC
DAC_SYNC_AB_O_HSMC
DAC_SYNC_CD_O_HSMC
DAC_TESTMODE_O_HSMC
DAC_ALARM_O_HSMC



Indikacni LED



189 GND 191

190 GND 192

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost:	Nazev stranky:	REV:
	B	HSMC konektor 2	
Meritko:			Str.: 15 z 20

D

D

C

C

B

B

A

A

6

5

4

3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE

D

D

C

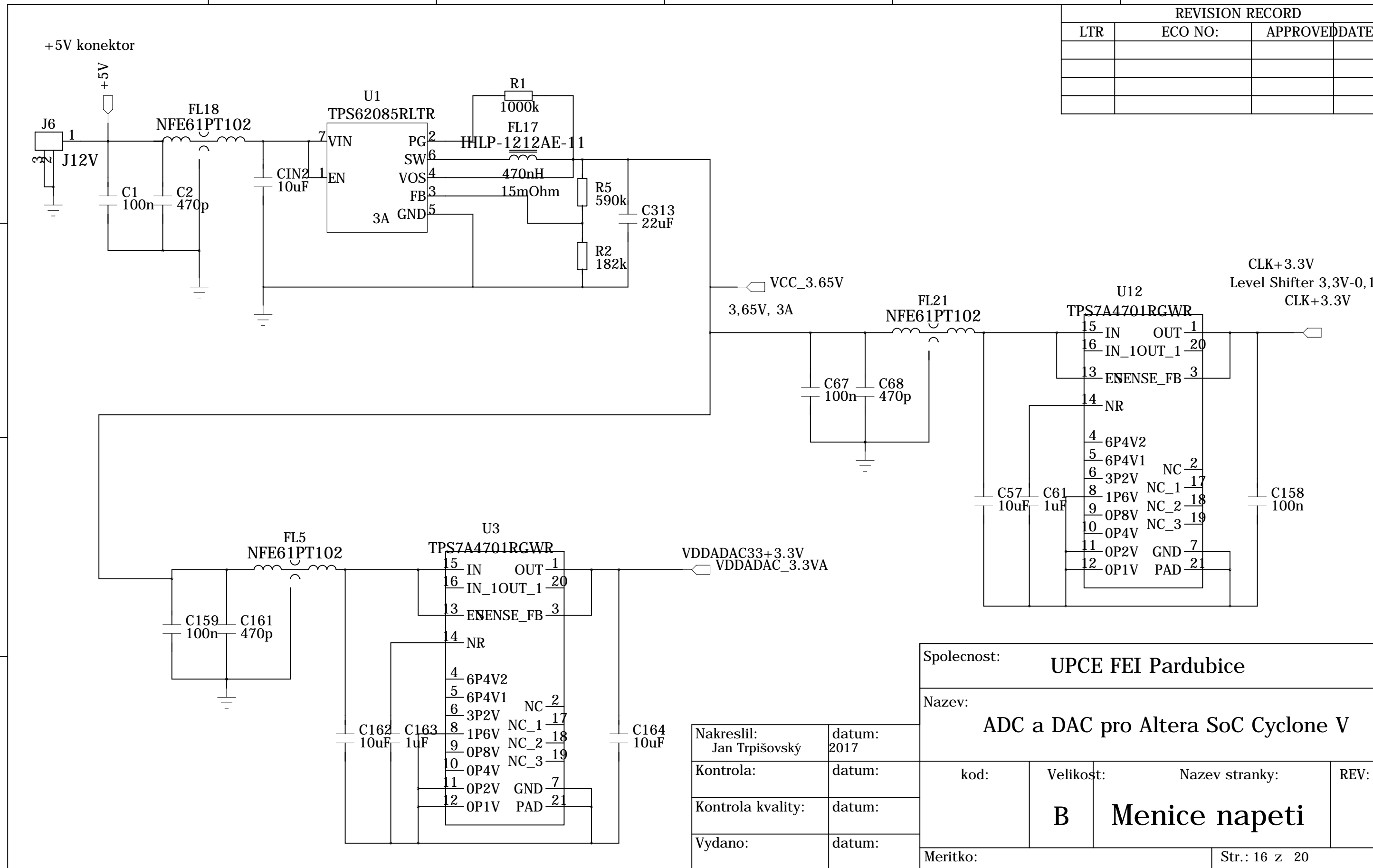
C

B

B

A

A



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost:	Nazev stranky:	REV:
	B	Menice napeti	
Meritko:			Str.: 16 z 20

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

6

5

4

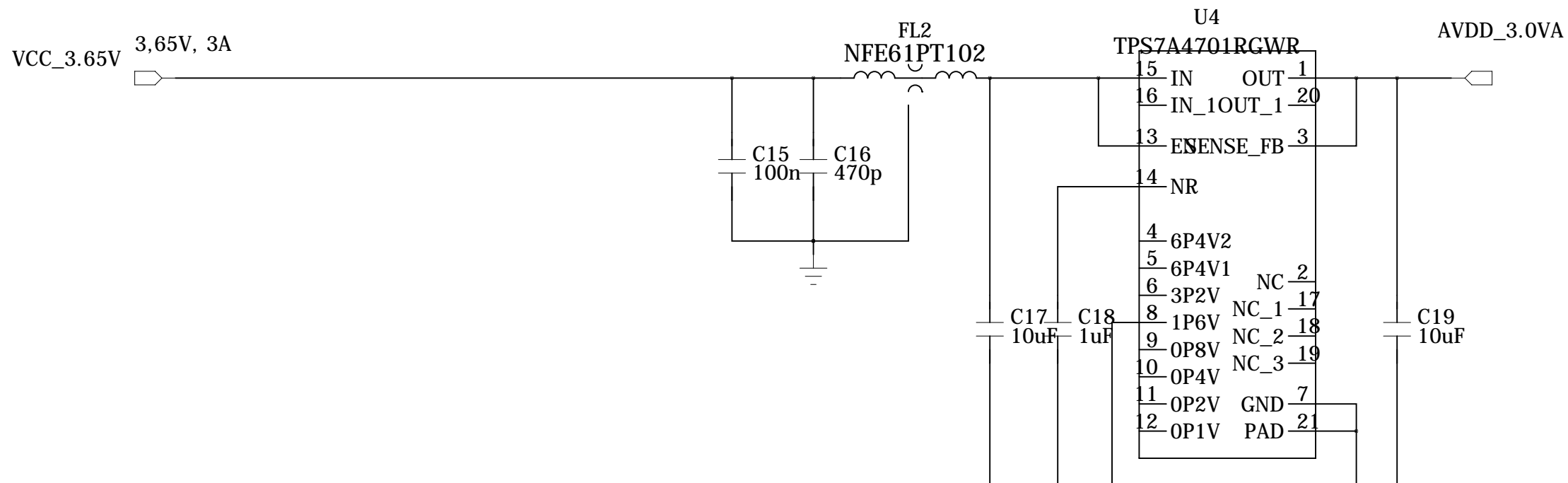
3

2

1

REVISION RECORD

LTR	ECO NO:	APPROVED	DATE



Spolecnost: UPCE FEI Pardubice

Nazev: ADC a DAC pro Altera SoC Cyclone V

Nakreslil: Jan Trpišovský

datum: 2017

Kontrola:

datum:

Kontrola kvality:

datum:

Vydano:

datum:

kod:

Velikost: B

Nazev stranky: Menice napeti 2

REV:

Meritko:

Str.: 17 z 20

D

C

B

A

D

C

B

A

6

5

4

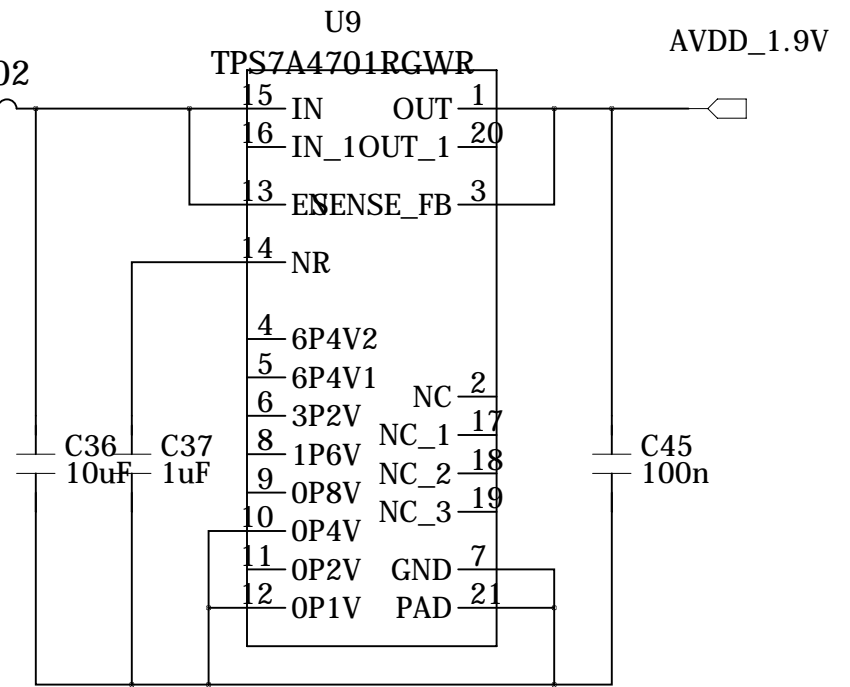
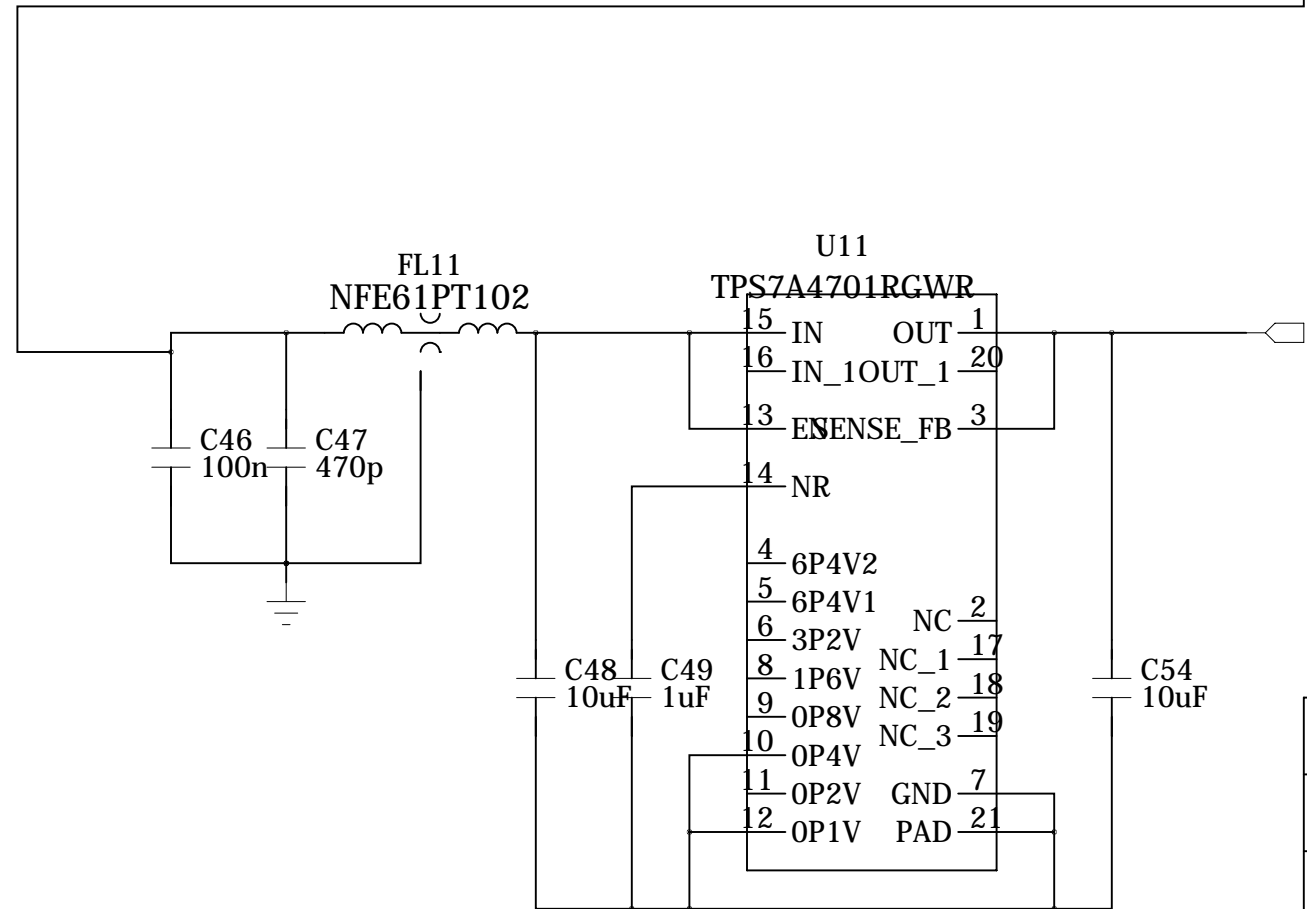
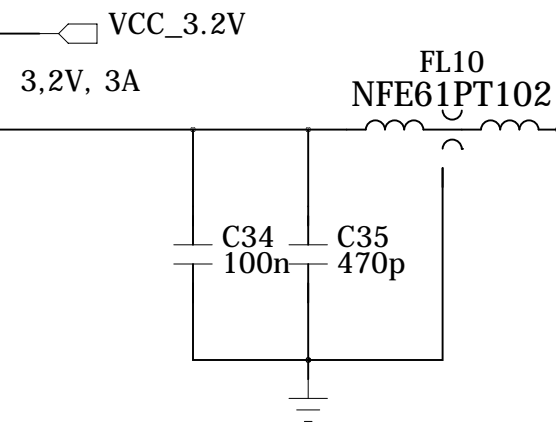
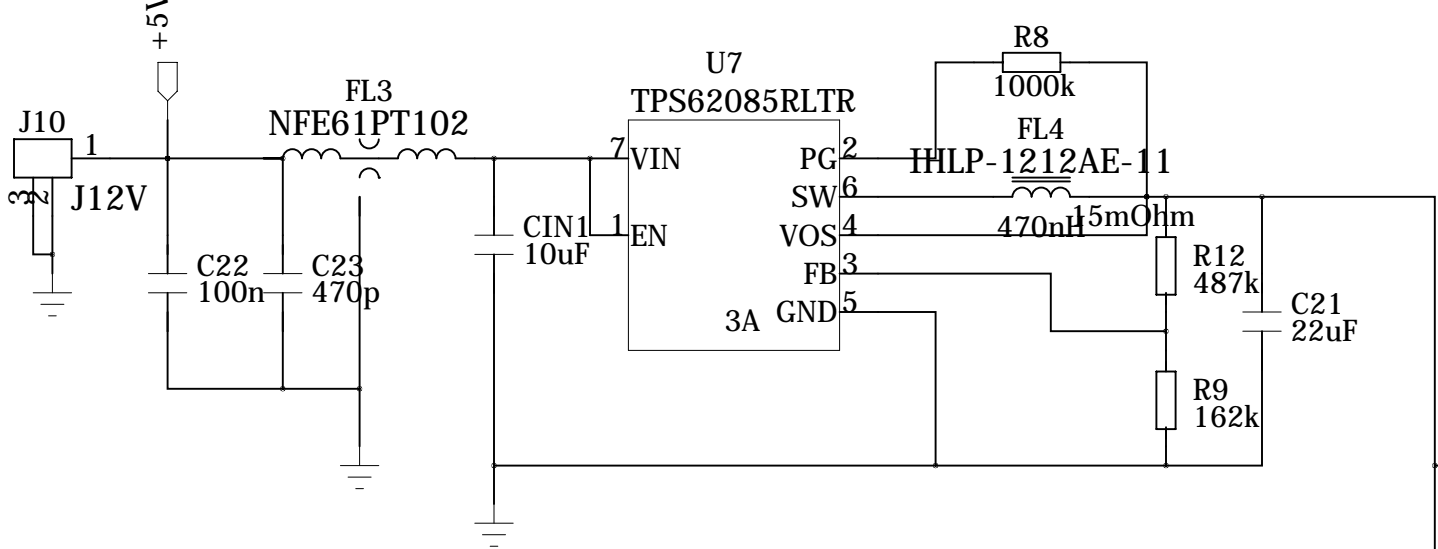
3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

+5V konektor



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost: B	Nazev stranky: Menice napeti 3	REV:
Meritko:		Str.: 18 z 20	

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

D

D

C

C

B

B

A

A

6

5

4

3

2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

D

D

C

C

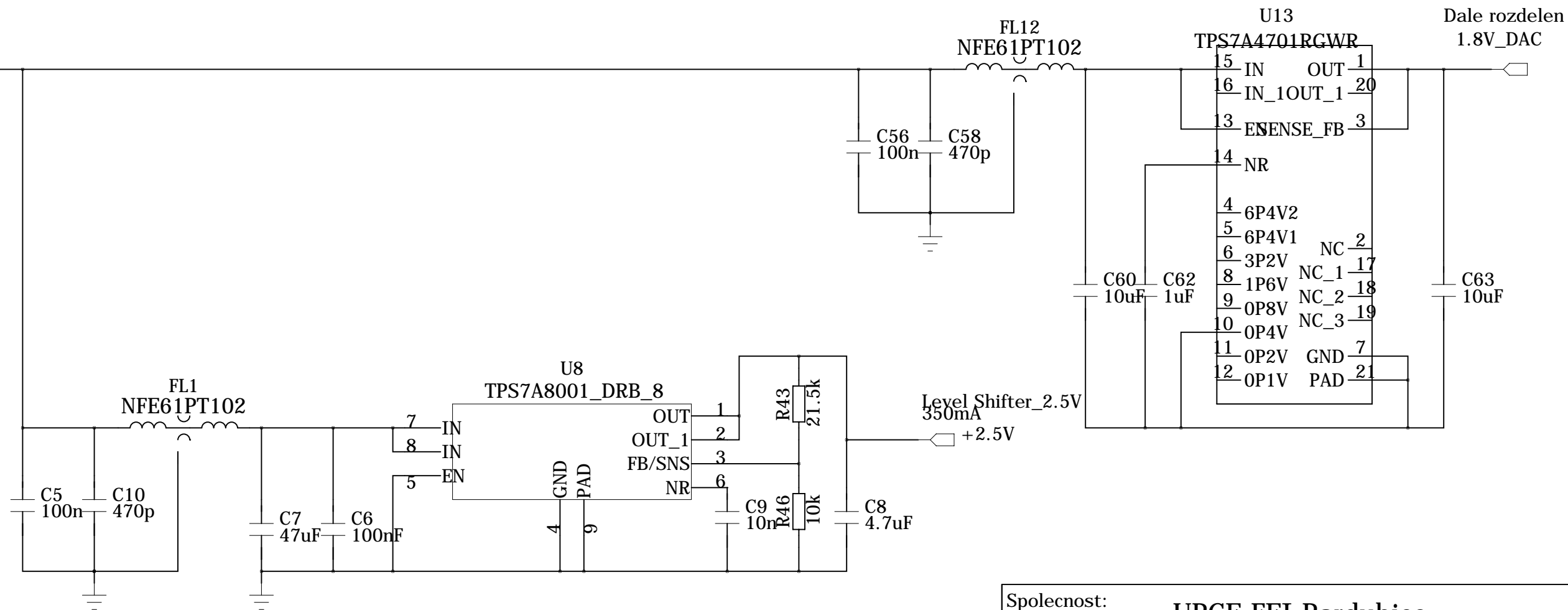
B

B

A

A

VCC_3.2V 3,2V, 3A



Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost: B	Nazev stranky: Menice napeti 4	REV:
Meritko:		Str.: 19 z 20	

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

6

5

4

3

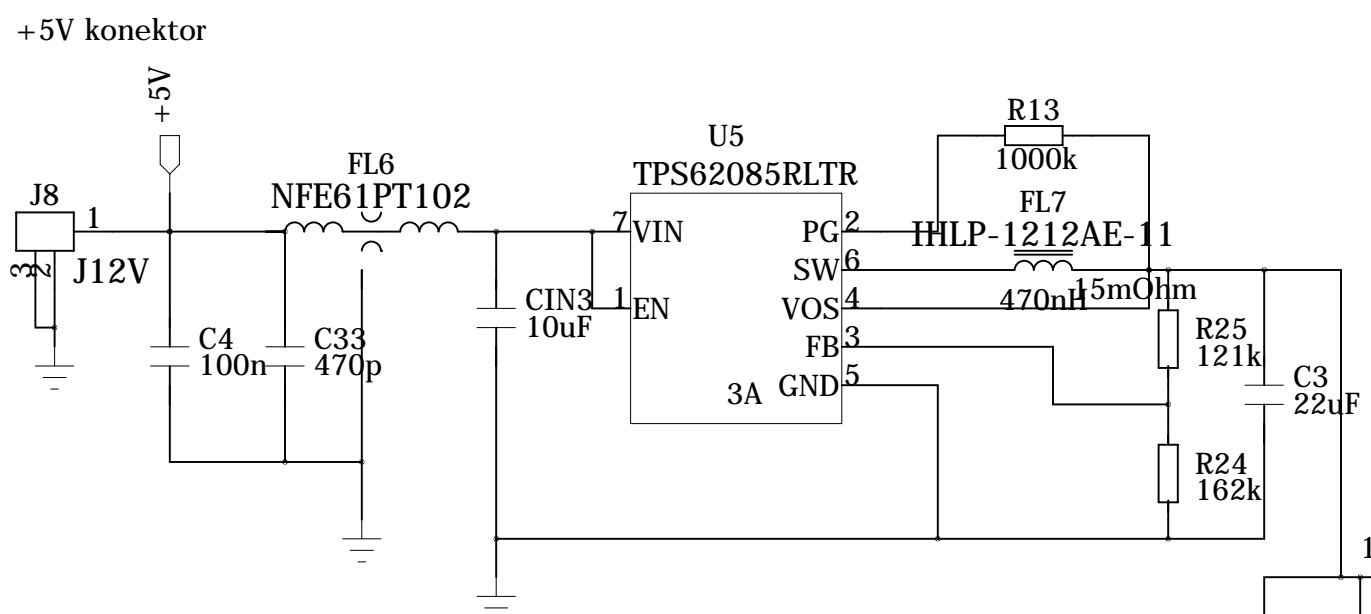
2

1

REVISION RECORD			
LTR	ECO NO:	APPROVED	DATE:

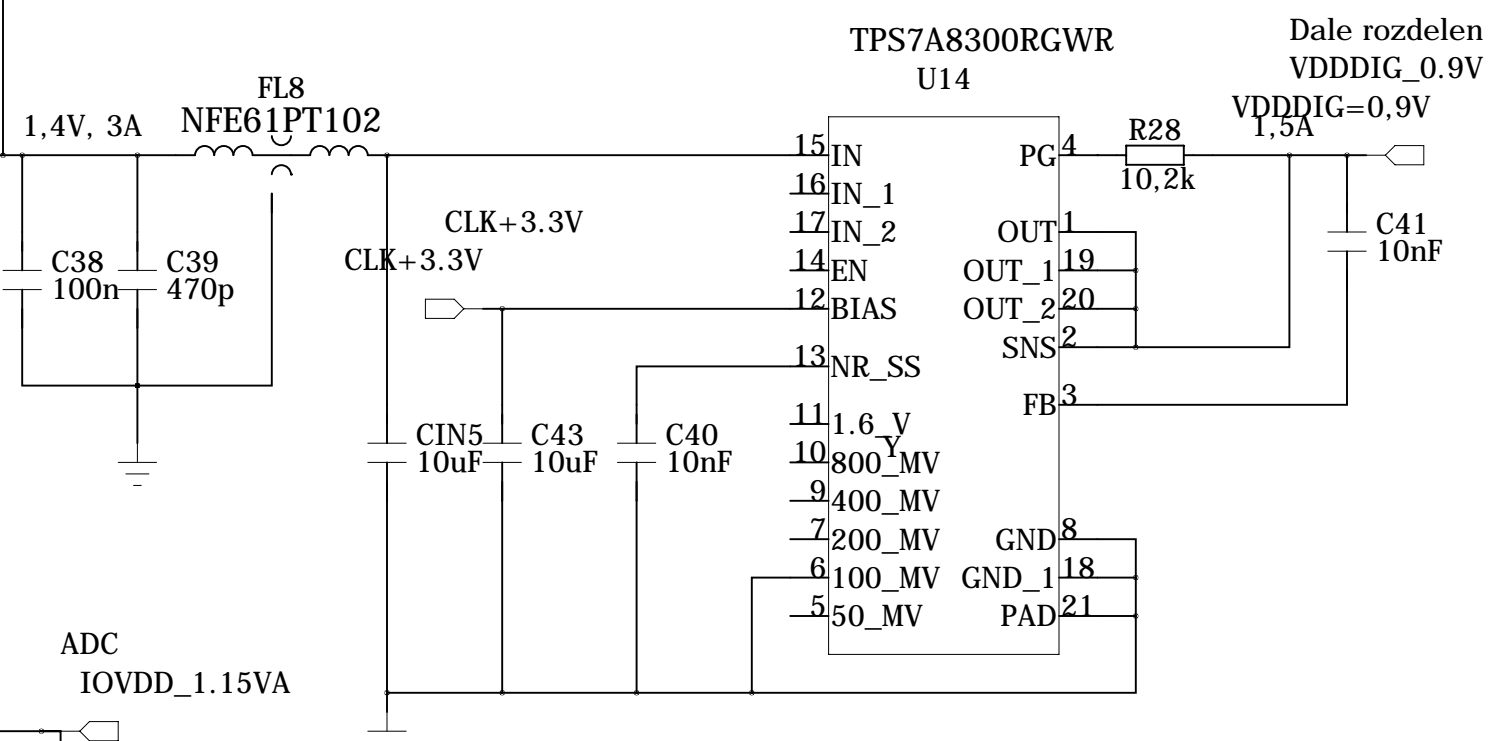
D

D



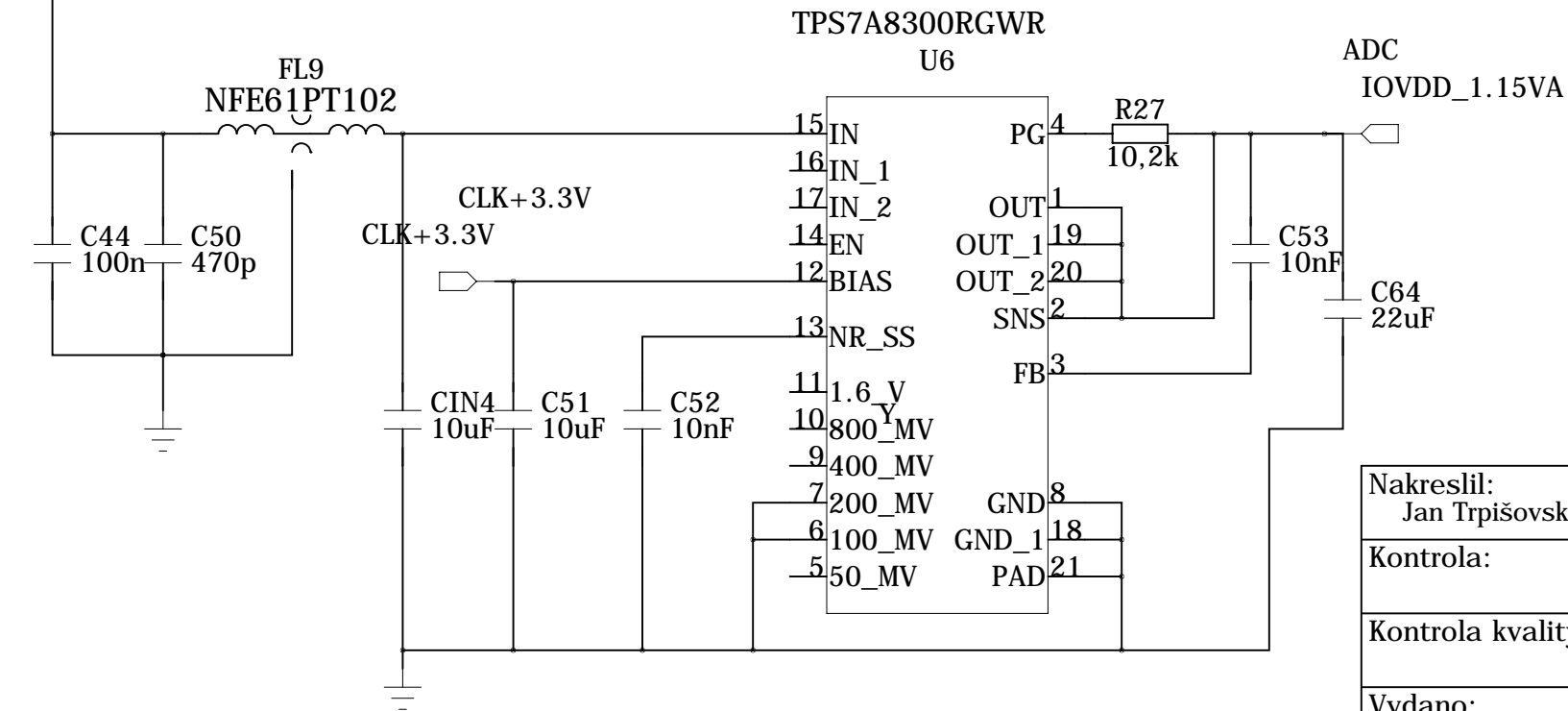
C

C



B

B



A

A

Spolecnost: UPCE FEI Pardubice			
Nazev: ADC a DAC pro Altera SoC Cyclone V			
kod:	Velikost:	Nazev stranky:	REV:
	B	Menice napeti 5	
Meritko:			Str.: 20 z 20

Nakreslil: Jan Trpišovský	datum: 2017
Kontrola:	datum:
Kontrola kvality:	datum:
Vydano:	datum:

