



Posudek vedoucího diplomové práce

Jméno studenta:	Bc. Tomáš Krejčí
Téma práce:	Digitální přijímač systému ADS-B implementovaný v FPGA SOC
Cíl práce:	Návrh digitální části přijímače systému ADS-B 1090ES na programovatelném hradlovém poli, které má hardwarově implementovaný procesor ve svém pouzdře (tzv. Field Programmable Gate Array System On Chip)

Slovní hodnocení:

Naplnění cílů práce:

Diplomová práce se věnuje aktuální tématice využití hradlového pole s hardwarově implementovaným procesorem pro potřeby signálového zpracování.

Práce je členěna na tři části.

Teoretická část práce, první dvě kapitoly, shrnuje základ potřebný pro realizaci diplomové práce. Jedná se o popis způsobu monitorování vzdušného prostoru pomocí technologie Automatic Dependent Surveillance - Broadcast (ADS-B) a vývoj programovatelných logických obvodů od jejich počátků do současnosti.

Kapitola tři je věnována simulaci digitálního signálového zpracování v systému ADS-B 1090ES (dále jen ADS-B). Simulace je využita pro návrh a ověření metod zpracování signálu vysílaného systémem ADS-B. Kapitola začíná popisem vytvořeného generátoru ADS-B zprávy, následuje způsob zpracování ADS-B zprávy od mezifrekvenčního signálu po detekci dat. V simulaci jsou navrženy a realizovány metody, které jsou vhodné využity v praktické implementaci. Zajímavým řešením je použití sigmoidy pro úpravu amplitudové obálky datové zprávy.

Praktická část práce, kapitoly čtyři a pět, obsahuje popis implementace digitálního přijímače systému ADS-B na FPGA SOC, tato část začíná rozбором a nastavením použitých vývojových prostředků (kitu FPGA SOC a desky Data Conversion Card). Dále je práce zaměřena na implementaci digitálního přijímače, je v ní uveden popis důležitých bloků pro konfiguraci a ovládání SOC, tj. propojení FPGA s procesorem (nazývaným Hard Processor System). Detailní popis propojení FPGA a SOC je významným přínosem této práce. Je také popsána implementace digitálního signálového zpracování, od generování datové zprávy, přes její zpracování, po detekci jednotlivých dat. Student využil výsledků dosažených v simulaci, což hodnotím pozitivně. Závěr praktické části je věnován popisu distribuce datové zprávy pomocí ethernetu. Distribuce zprávy probíhá pomocí soketové komunikace (typ server – klient). Server je vytvořen na FPGA SOC a klient pak na PC.

V rámci diplomové práce byla provedena simulace přenosového řetězce digitální části přijímače systému ADS-B, kde byl realizován model datové zprávy a jeho následné zpracování, až do úrovně detekce dat.

Dále byla provedena implementace signálového zpracování v FPGA SOC. Byl vytvořen generátor, využívající model datové zprávy. Výstupem z generátoru byl analogový signál, který byl přiveden na vstup analogově digitálního převodníku. Po konverzi do digitální formy byl signál zpracován, do úrovně detekce dat, a předán pomocí interní sběrnice do procesoru. Program v procesoru vytvořil několik vláken, z toho jedno vlákno se stará o předání datové zprávy klientovi.

Na počítači (klient) byl vytvořen program, který datovou zprávu přijme, určí její typ a datovou zprávu zobrazí.

Cíle práce byly splněny.

Logická stavba a stylistická úroveň práce:

Diplomová práce je členěna do 7 kapitol, a to včetně úvodu a závěru, které na sebe logicky navazují. Stylistická i grafická úroveň práce je na velmi dobré úrovni. V práci se vyskytuje minimální množství stylistických chyb.

Využití záměrů, námětů a návrhů v praxi:
Student odpovídajícím způsobem zpracoval téma dle zadání. Využití diplomové práce je vhodné pro další výzkumné aktivity na Katedře elektrotechniky, dále tato práce může sloužit jako zdroj informací při návrhů řešení založených na SOC.
Případné další hodnocení (připomínky k práci):
Student přistupoval ke zpracování tématu zodpovědně. Při řešení diplomové práce prokázal znalost několika programovacích jazyků (VHDL, C, C#) a to na vysoké úrovni. Dále projevil vysokou míru samostatnosti při hledání řešení, a to jak při návrhu signálového zpracování, tak při propojení FPGA a HPS. Rád bych závěrem zmínil náročnost zpracované úlohy vzhledem k tomu, že v současnosti neexistuje ucelený návod tohoto propojení.

Otázky k obhajobě (max 2):

- 1. Na str. 61 je popis realizace zpracování signálu v FPGA. O výpočtu korelace je však uvedena pouze jednoduchá zmínka bez hlubšího popisu. Jakým způsobem byl tedy ve skutečnosti výpočet korelace v FPGA realizován?**
- 2. Jaký typ Downlink formátu je přenášen pomocí soketové komunikace? (kap. 5.4.2.)**

Doporučení práce k obhajobě: ano

Navržený klasifikační stupeň: výborně

Posudek vypracoval:

Jméno, tituly: Ing. Michal Mandlík, Ph.D.
Zaměstnavatel: Univerzita Pardubice

V Pardubicích dne: 27. 5. 2016

Podpis: