

Univerzita Pardubice

Fakulta elektrotechniky a informatiky

Dvojitý synchronní přijímač

Bc. Ondřej Karas

Diplomová práce

2011

Univerzita Pardubice
Fakulta elektrotechniky a informatiky
Akademický rok: 2010/2011

ZADÁNÍ DIPLOMOVÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: Bc. Ondřej KARAS
Osobní číslo: I08336
Studijní program: N2612 Elektrotechnika a informatika
Studijní obor: Komunikační a řídicí technologie
Název tématu: Dvojitý synchronní přijímač
Zadávací katedra: Katedra elektrotechniky

Zásady pro vypracování:

Cílem práce je navrhnout a sestavit zařízení pro digitální záznam FM rádia v rozsahu 88-108MHz. Záznam budou současně tvořit dva kanály, přičemž je požadován minimální fázový posun mezi těmito kanály. Signál bude konvertován na vhodnou mezifrekvenci a následně zpracován pro záznam do souboru v PC. Je uvažována šířka pásma 150kHz / kanál a dynamika 80dB. Délka záznamu je stanovena minimálně na 1s.

Rozsah grafických prací:

Rozsah pracovní zprávy:

Forma zpracování diplomové práce: tištěná/elektronická

Seznam odborné literatury:

Skalický, P.: Digitální filtrace a signálové procesory. Skripta ČVUT, Praha 1997

Chenakin, A.: Frequency Synthesizers: Concept to Product. Artech House, 2010

Katalogové listy a aplikační poznámky výrobců polovodičových součástek

Vedoucí diplomové práce: Ing. Zdeněk Němec, Ph.D.
Katedra elektrotechniky

Datum zadání diplomové práce: 20. ledna 2011

Termín odevzdání diplomové práce: 20. května 2011



prof. Ing. Simeon Karamazov, Dr.

děkan



Ing. Zdeněk Němec, Ph.D.
vedoucí katedry

V Pardubicích dne 31. března 2011

Prohlášení autora

Prohlašuji, že jsem tuto práci vypracoval samostatně. Veškeré literární prameny a informace, které jsem v práci využil, jsou uvedeny v seznamu použité literatury.

Byl jsem seznámen s tím, že se na moji práci vztahují práva a povinnosti vyplývající ze zákona č. 121/2000 Sb., autorský zákon, zejména se skutečností, že Univerzita Pardubice má právo na uzavření licenční smlouvy o užití této práce, jako školního díla, podle § 60 odst. 1 autorského zákona, a s tím, že pokud dojde k užití této práce mnou nebo bude poskytnuta licence o užití jinému subjektu, je Univerzita Pardubice oprávněna ode mne požadovat přiměřený příspěvek na úhradu nákladů, které na vytvoření díla vynaložila, a to podle okolností až do jejich skutečné výše.

Souhlasím s prezenčním zpřístupněním své práce v Univerzitní knihovně.

V Pardubicích dne 20. 8. 2011

Ondřej Karas

Poděkování

V úvodu bych rád poděkoval vedoucímu práce Ing. Zdeňku Němcovi, PhD za odborné vedení v celém průběhu práce. Chtěl bych poděkovat také Ing. Jiřímu Blechovi za pomoc při návrhu DPS. Mé poděkování patří vývojovým pracovníkům firmy RCD Radiokomunikace spol. s r.o. za zapůjčený HW a cenné rady.

SOUHRN

Tato diplomová práce se zabývá možnostmi digitalizace dvoukanálového signálu FM rádia. Kromě využití hotových řešení v podobě komerčně dostupných zařízení je hlavní důraz kladen na vlastní řešení přijímače a to jak analogových tak i digitálních částí zpracování signálu. V této práci nejsou publikovány postupy digitálního zpracování. Je zde uvedena praktická realizace přijímače z pohledu implementace běžně dostupných integrovaných obvodů.

KLÍČOVÁ SLOVA

Vzorkování a záznam FM rádia; Softwarové rádio; Digitalizace;

TITLE

DUAL SYNCHRONIZED RECEIVER

ABSTRACT

This thesis deals with two-channel FM radio digitization possibilities. Except of usage commercially accessible devices is main goal put on proper receiver development in both sides, analog and so digital part of signal processing. There are not published any digital signal processing methods. There is published practical realization of receiver in front of view usually accessible integrated circuit usage.

KEYWORDS

FM radio sampling; Software defined radio; Digitalization

OBSAH

Úvod	13
1 Úvod do TEORIE sdr	15
1.1 Koncepce SDR	15
1.2 Základní části softwarového rádia	17
1.2.1 Vstupní analogové obvody	17
1.2.2 Směšovač a lokální oscilátor	17
1.2.3 Mezifrekvenční filtr, antialiasingový filtr	17
1.2.4 Analogově-číslicové převodníky	18
1.2.5 Obvody pro číslicové zpracování signálů	19
2 Metody vzorkování a záznamu	20
2.1 Přímé vzorkování digitálním osciloskopem	20
2.2 Digitizéry	22
2.2.1 Využití digitizérů a systémů LabView v roli přijímače	23
2.3 Využití speciálních integrovaných obvodů DDC	24
2.4 Dvojitý digitální přijímač LM97593	26
3 Místní oscilátory	28
3.1 Obvody frekvenční syntézy	28
3.2 Stručný přehled integrovaných syntezeátorů	31
3.3 Integrovaný syntezeátor ADF4360-8	32
3.3.1 Popis a ovládání obvodu	32
4 Konstrukce Vlastního přijímače	35
4.1 Vývojová deska syntezeátoru	36
4.1.1 Návrh regulační smyčky fázového detektoru	41
4.1.2 Testování a měření	42

4.2	Blok číslicového zpracování dat.....	43
4.2.1	Konfigurace obvodu LM97593	45
4.2.2	Analogové rozhraní obvodu LM97593	49
4.2.3	Připojení hodinového signálu	50
4.2.4	AGC	51
4.2.5	Praktická realizace bloku číslicového zpracování.....	52
4.2.6	Schéma zapojení.....	53
4.2.7	Návrh možných změn při rekonstrukci DPS	58
4.3	Testování vlastního přijímače.....	59
5	Závěr	62
6	Použitá literatura	63

SEZNAM OBRÁZKŮ

OBRÁZEK 1: BLOKOVÉ SCHÉMA SUPERHETU.....	15
OBRÁZEK 2: ČÍSLICOVÝ PŘIJÍMAČ SE ZPRACOVÁNÍ NA MEZIFREKVENCÍ [1]	16
OBRÁZEK 3: ČÍSLICOVÝ PŘIJÍMAČ SE ZPRACOVÁNÍM V ZÁKLADNÍM PÁSMU [1]	16
OBRÁZEK 4: DVOJITÝ AD PŘEVODNÍK AD9600 SPOLEČNOSTI ANALOG DEVICES [9]	18
OBRÁZEK 5: SPEKTRUM VYPOČÍTANÉ ZE VZORKŮ OSCILOSKOPU	21
OBRÁZEK 6: SPEKTRUM ZAZNAMENANÉ SPEKTRÁLNÍM ANALYZÁTOREM	21
OBRÁZEK 7: PŘÍKLAD MĚŘÍCÍHO SYSTÉMU S VYUŽITÍM ROZHRANÍ PXI [8]	23
OBRÁZEK 8: PŘÍKLAD DEMODULACE AM SIGNÁLU V SYSTÉMU LABVIEW.....	23
OBRÁZEK 9: BLOKOVÉ SCHÉMA DDC/DUC GC5016 (TEXAS INSTRUMENTS) [7].	24
OBRÁZEK 10: ZÁKLADNÍ PŘEDSTAVA VYUŽITÍ OBVODU LM97593 [4]	27
OBRÁZEK 11: ZJEDNODUŠENÁ PŘEDSTAVA VNITŘNÍ STRUKTURY LM97593 [4]	27
OBRÁZEK 12: PŘÍKLAD PŘÍMÉ ANALOGOVÉ SYNTÉZY [2]	29
OBRÁZEK 13: PŘÍKLAD KLASICKÉ DDS (DIRECT DIGITAL SYNTHESIZER) [2]	30
OBRÁZEK 14: PŘÍKLAD NEPŘÍMÉHO SYNTEZÁTORU S PLL [2]	30
OBRÁZEK 15: ZÁKLADNÍ ZAPOJENÍ SYNTEZÁTORU ADF4360-8 [6].....	33
OBRÁZEK 16: GRAF ZÁVISLOSTI STŘEDNÍ FREKVENCE NA VOLBĚ CÍVEK L1, L2 [6]	33
OBRÁZEK 17: BLOKOVÉ SCHÉMA DESKY SYNTEZÁTORU	36
OBRÁZEK 18: ZAPOJENÍ ZDROJOVÉ ČÁSTI VÝVOJOVÉ DESKY.....	37
OBRÁZEK 19: ZAPOJENÍ OBVODU SYNTEZÁTORU.....	38
OBRÁZEK 20: VÝSTUP SYNTEZÁTORU. REFLVL: -20dBm, SPAN: 50KHz, RBW: 1KHz	42
OBRÁZEK 21. SDR MK1 [5].....	44
OBRÁZEK 22: BLOKOVÉ SCHÉMA DIG. ČÁSTI KANÁLU A (KANÁL B JE SHODNÝ) [4].....	46
OBRÁZEK 23: VLIV CHVĚNÍ FÁZE NA PROJEVY HARMONICKÝCH SLOŽEK [4]	47
OBRÁZEK 24: FREKVENČNÍ CHARAKTERISTIKA FIR FILTRU F1 [4]	48
OBRÁZEK 25: UKÁZKA VHODNÝCH ÚROVNÍ NA VSTUPECH AD PŘEVODNÍKU [4].....	50
OBRÁZEK 26: ZJEDNODUŠENÉ BLOKOVÉ SCHÉMA ILUSTRUJÍCÍ FUNKCI AGC [4]	51
OBRÁZEK 27: ROZLOŽENÍ VRSTEV PLOŠNÉHO SPOJE BLOKU DDC	52
OBRÁZEK 28: VSTUPNÍ OBVODY PRO SYMETRIZACI A ZESÍLENÍ	53
OBRÁZEK 29: ZÁKLADNÍ ČÁST BLOKU DIGITÁLNÍHO ZPRACOVÁNÍ SIGNÁLU	54
OBRÁZEK 30: HODINOVÝ OBVOD BLOKU DIGITÁLNÍHO ZPRACOVÁNÍ SIGNÁLU	55
OBRÁZEK 31: ZDROJ 3,3V DIGITÁLNÍ DESKY DIGITÁLNÍ ZPRACOVÁNÍ SIGNÁLU	56
OBRÁZEK 32: OSAZOVACÍ VÝKRES BLOKU ČÍSLICOVÉHO ZPRACOVÁNÍ SIGNÁLU (STRANA TOP)	57
OBRÁZEK 33: OSAZOVACÍ VÝKRES BLOKU ČÍSLICOVÉHO ZPRACOVÁNÍ SIGNÁLU (STRANA BOTTOM)	57
OBRÁZEK 34: NANOBOARD NB2 SPOLEČNOSTI ALTIUM LIMITED [3].....	59
OBRÁZEK 35: TESTOVACÍ ZAPOJENÍ DIGITALIZAČNÍHO ŘETĚZCE	60
OBRÁZEK 36: UKÁZKA VYUŽITÍ SOFTWAREVÉHO LOGICKÉHO ANALYZÁTORU SYSTÉMU ALTIUM DESIGNER [3].	61

SEZNAM TABULEK

TABULKA 1: PŘEHLED VYBRANÝCH OBVODŮ DUC/DDC	25
TABULKA 2: PŘEHLED VYBRANÝCH INTEGROVANÝCH SYNTEZÁTORŮ	31
TABULKA 3: STRUKTURA REFERENCE REGISTRU [6].....	32
TABULKA 4: STRUKTURA N-REGISTRU [6]	34
TABULKA 5: STRUKTURA R-REGISTRU [6]	34
TABULKA 6: STRUKTURA ZPRÁVY APLIKACE SYNTHCONTROL	39
TABULKA 7: VÝVOJOVÁ DESKA SYNTEZÁTORU - OSAZOVACÍ VÝKRES	40
TABULKA 8: ADISIMPLL, VÝPOČET REGULAČNÍ SMYČKY FÁZOVÉHO DETEKTORU	41

SEZNAM ZKRATEK

SDR	Software Defined Radio
FPGA	Field Programmable Gate Array
MCU	Microcontroller Unit
DSP	Digital Signal Processor
NCO	Numerically Controlled Oscillator
VGA	Variable Gain Amplifier
AGC	Automatic Gain Control
SAW	Surface Acoustic Wave
DDS	Direct Digital Synthesis
DDC	Digital Down Converter
DUC	Digital Up-Converter
PLL	Phase-Locked Loop
PC	Personal Computer
PCI	Peripheral Component Interconnect
PCIe	PCI Express
SCXI	Signal Conditioning Extension for Instrumentation
PXI	PCI Extensions for Instrumentation
JTAG	Joint Test Action Group
USB	Universal Serial Bus
UART	Universal Asynchronous Receiver-Transmitter
SPI	Serial Peripheral Interface
BGA	Ball Grid Array
FM	Frequency Modulation
AM	Amplitude Modulation

ADC	Analog-to-Digital Converter
DAC	Digital-to-Analog Converter
FIR	Finite Impulse Response
CIC	Cascaded Integrator and Comb
AGC	Automatic Gain Control
SPORT	Serial Port
GSM	Global System for Mobile Communications
GPRS	General Packet Radio Service
EDGE	Enhanced Data GSM Environment
PQFP	Plastic Quad Flat Package
TCXO	Temperature Compensated Crystal Oscillator

ÚVOD

Digitální přijímač, nebo Softwarově Definované Rádio (SDR) jsou dnes pojmy, které s oblibou využívají marketingová oddělení velké řady výrobců profesionální vysokofrekvenční techniky. Tento pojem se také často využívá ve sféře levné spotřební elektroniky, kde mnohdy s principy SDR nemá koncový produkt téměř nic společného. Důvod je zřejmý. S velkým rozvojem polovodičové součástkové základny a především v důsledku vysokého rozšíření Digitálních Signálových Procesorů (DSP) a obvodů programovatelných hradlových polí (FPGA) se otevřely možnosti jak realizovat více než dvě století známé metody číslicového zpracování signálů. Technologie ve srovnání s analogovou technikou, poskytuje mnoho výhod, jako jsou například vyšší spolehlivost, menší rozměry, hmotnost, ve většině případů také cena, dobrá reprodukovatelnost výroby, ale také výstupů samotného zařízení a samozřejmě jednodušší nastavení parametrů, které se většinou děje softwarovou cestou (terminál, webové rozhraní, speciální aplikace).

Metod jak využívat SDR existuje několik. Tato práce se zabývá rozbořem tří cest. Využitím profesionálních měřících aparatur příbuzných systému LabView. Speciálními obvody pro Softwarově definovaná rádia, obvody kategorie DDC, a vlastním řešením na obvodech FGPA. Použití obvodů DSP není v tomto textu uvažováno z cenových důvodů. Výkonná DSP použitelná pro vysokofrekvenční technologie jsou často velmi drahá a nežádá se nahrazují kombinací levného DSP a FPGA v roli koprocesoru.

Hlavním tématem této práce bylo navrhnout a zkonstruovat zařízení využívající metod Softwarově definovaného rádia a to v roli dvoukanálového přijímače v pásmu FM rádia (88MHz – 108MHz). Hlavním požadavkem na zařízení byl minimální fázový posuv mezi kanály a rozložení obou kanálů do IQ složek s následným přenesením získaných dat do PC pro další zpracování. Přijímač bude využit při testování použití signálu FM rádia v oblasti bistatických radarů.

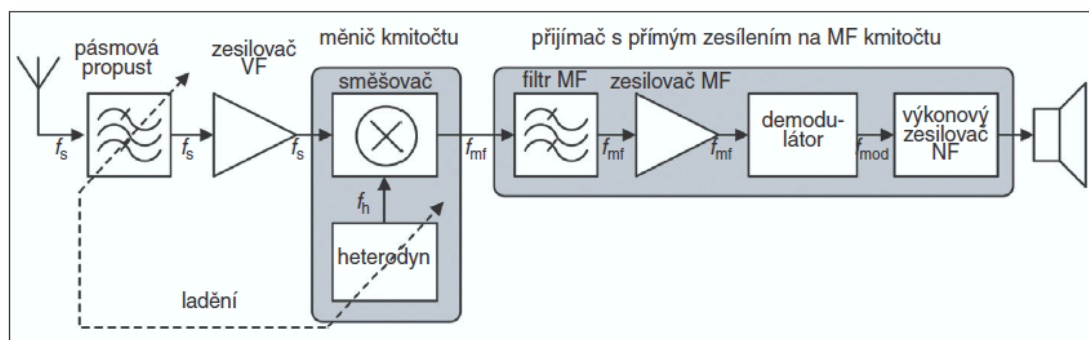
Při psaní této práce bylo čerpáno především ze tří zdrojů. Prvním byla skripta „Číslicové systémy v radiotechnice“ od Doc. Ing. Petra Skalického, CSc z ČVUT v Praze. Dále pak kniha Alexandera Chenakina s názvem „Frequency Synthesizers: Concept to Product“.

1 ÚVOD DO TEORIE SDR

S rozvojem polovodičových obvodů umožňujících realizovat matematické operace pro číslicové zpracování signálů na vyšších výpočetních rychlostech se začaly ve větší míře ukazovat výhody využití softwarově definovaného rádia. Mezi ně patří především nižší náklady, které jsou u analogových přijímačů spojené s precizním zpracováním některých stupňů přijímače (například úzkopásmové filtry a mezifrekvenční zesilovače). Další velmi výhodnou vlastností koncepce SDR je změna parametrů přijímače softwarovou cestou. Oproti analogovému přijímači se jedná o velmi výraznou vlastnost. Analogové řešení nabízelo často parametrizaci velmi omezenou nebo žádnou. Ve většině případů vyžadovala dodatečné finanční náklady na realizaci.

1.1 Koncepce SDR

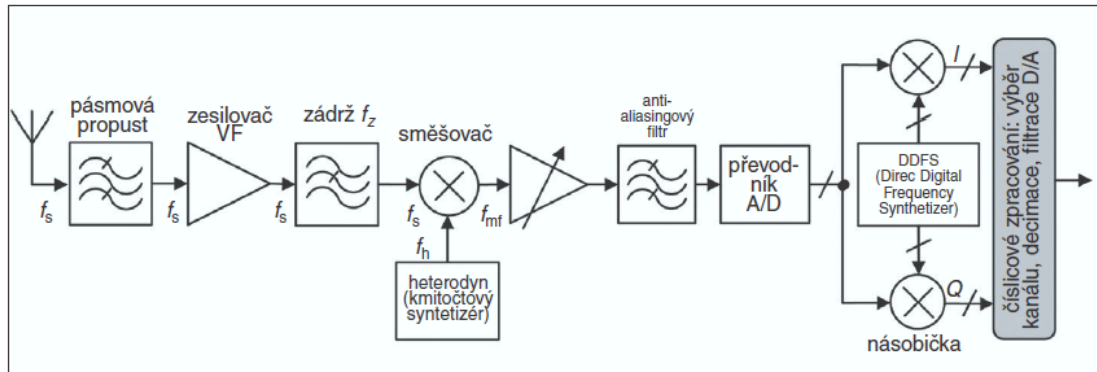
Přijímače s číslicovým zpracováním signálu často vycházejí z koncepce analogových přijímačů, nejčastěji superheterodynu. V nejjednodušším případě je zde signál po nezbytné filtraci (dolní nebo pásmová propust) a zesílení smísen na vhodný mezifrekvenční kmitočet. Zde je vyfiltrováno pásmo okolo mezifrekvence a následně je signál zpracován (u AM nebo FM rádia demodulován a zesílen).



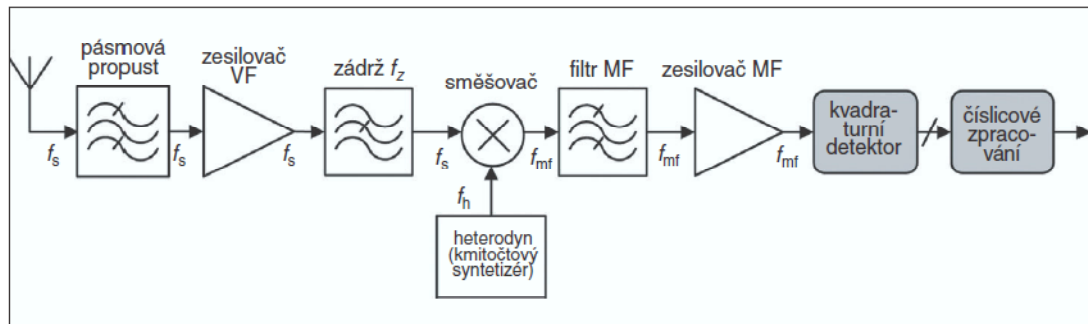
Obrázek 1: Blokové schéma superhetu

V jednodušších číslicových přijímačích je právě následné zpracování realizováno na první mezifrekvenci. Tento způsob klade nižší nároky na použitý AD převodník, samotný signálový (ko)procesor a další součástky. Jednou z možností je konvertovat signál přímo do základního pásma (tento princip využívá tzv. **homodyn**). Použití homodynu je výhodné například pro AM rádia, kdy posunutím do

základního pásma dochází zároveň k demulaci signálu. Posunem do základního pásma končí většina číslicových algoritmů pro zpracování vysokofrekvenčních signálů.



Obrázek 2: Číslicový přijímač se zpracování na mezifrekvenci [1]



Obrázek 3: Číslicový přijímač se zpracováním v základním pásmu [1]

Jak je patrné z předchozích blokových schémat, velmi často je po digitalizaci signálu proveden rozklad na souřadnou (**I**) a kvadrurní složku (**Q**). Tento rozklad využívá většina v současnosti používaných algoritmů pro zpracování radiových signálů a některé A/D převodníky jej nabízí jako jeden z výstupních formátů. I specializované obvody číslicového zpracování signálů tento formát velmi často pro jeho výhodné vlastnosti využívají.

V některých případech je A/D převod realizován ještě před mezifrekvencí, tedy ihned po vyfiltrování a zesílení signálu. Při současném stavu techniky je tato metoda realizována pouze na přijímačích fungujících do stovek MHz.

1.2 Základní části softwarového rádia

V následujícím textu již bude uvažována pouze možnost, kdy je signál z antény nebo jiného zdroje smísen na mezifrekvenci a dále číslicově zpracován. Další koncepce nebudou uvažovány s ohledem na univerzálnost a možnost změny pracovního pásma.

1.2.1 Vstupní analogové obvody

Vstupní analogové obvody se v systémech analogového a digitálního rádia nemusí v ničem lišit. Signál je nejdříve vyfiltrován a dle potřeby zesílen. V obvodech analogového rádia jsou často využívány na vstupech pásmové propusti, u kvalitnějších zařízení přepínatelné pro rozsah právě přijímaného kanálu. V případě digitálního rádia, je možné využít jeden filtr pro všechny uvažované kanály a ty oddělit při následném číslicovém zpracování. Tato možnost přináší finanční úsporu při realizaci takového zařízení.

1.2.2 Směšovač a lokální oscilátor

Stejně jako vstupní analogové obvody i tato část může být shodná pro obě koncepce. Lokální oscilátor může být realizován jako klasický analogový oscilátor (například LC), jehož kmitočet je možné měnit změnou parametrů jedné nebo více pasivních součástek (u FM rádia nejčastěji změnou kapacity vzduchového kondenzátoru). U moderních přístrojů, a to jak u analogových i digitálních přijímačů, se v roli lokálních oscilátorů využívají digitálně laděné oscilátory, častěji syntežátory. Obvodům syntežátorů bude věnována zvláštní kapitola dále v textu. V případech, kdy je signál vzorkován na samém začátku řetězce, obvody analogového směšovače a lokálního oscilátorů zcela chybí a jsou nahrazeny digitálními ekvivalenty.

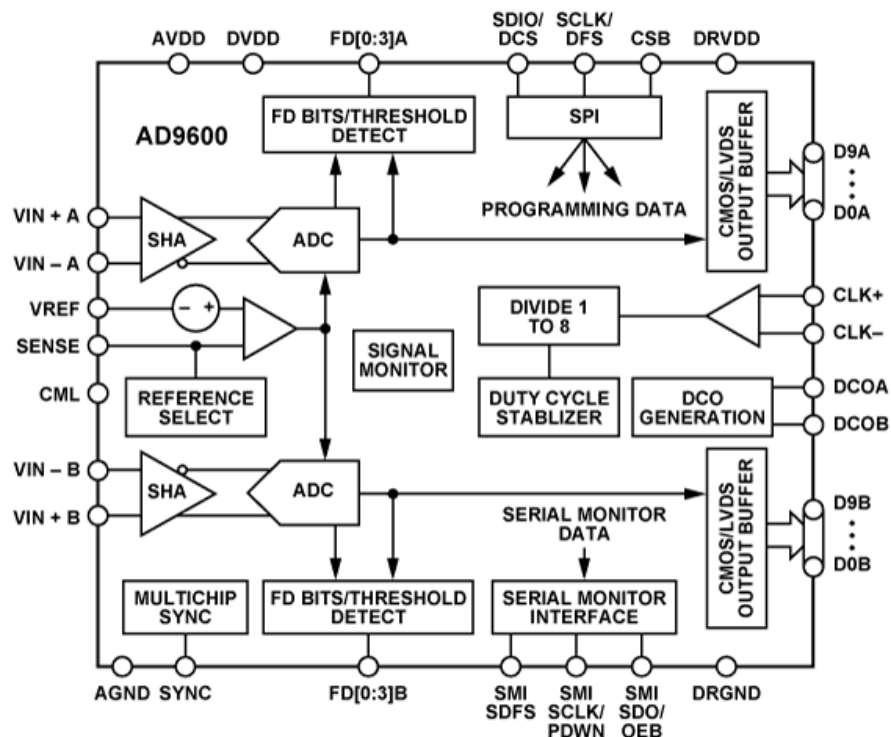
1.2.3 Mezifrekvenční filtr, antialiasingový filtr

V obvodech analogového rádia je po konverzi signálu na mezifrekvenci využíván mezifrekvenční filtr, případně zesilovač s integrovaným mezifrekvenčním filtrem. Jedná se o úzkou pásmovou propust realizovanou často SAW filtry nebo keramickými filtry. Starší nebo levnější obvody byly založeny na pásmových propustech z LC článků. Jsou tak odstraněny nechtěné produkty směšování. Právě

tato část bývá v mnoha typech přijímačů tou nejdražší. V obvodech digitálního rádia vzhledem k dalšímu zpracování stačí využít před digitalizací filtru typu dolní propust ve funkci antialiasingového filtru. Tyto filtry bývají často méně kvalitní, pro funkci digitálního rádia však postačují.

1.2.4 Analogově-číslicové převodníky

Je-li signál číslicového přijímače digitalizován na mezifrekvenci, jsou téměř výhradně využívány paralelní převodníky s rozhraním CMOS nebo LVDS. Většina obvodů je schopna pracovat na obou. Běžnou vlastností je detekce špiček a ovládání řízených zesilovačů (**V**ariable **G**ain **A**mplifier - **VGA**). Je vhodné, aby vzorkovací hodinová frekvence takového převodníku nebyla soudělná s frekvencí zpracovávaného signálu. Moderní A/D převodníky poskytují velké množství výstupních formátů (dvojkový, jedničkový doplněk, prostý binární kód, binární offset a mnoho dalších). Rychlé A/D převodníky bývají konfigurovatelné zpravidla skrze rozhraní SPI nebo zjednodušenou třívodičovou sběrnici.



Obrázek 4: Dvojitý AD převodník AD9600 společnosti Analog Devices [9]

1.2.5 Obvody pro číslicové zpracování signálů

Mimo hotových řešení pro vzorkování a následný přenos vzorkovaných dat do PC, lze využít vlastního řešení za využití specializovaných obvodů DDC, někdy nazývaných také jako Digital Tuner, nebo zcela vlastního návrhu na obvodech typu FPGA. Posledně jmenované řešení přináší možnost si zcela zvolit, jak bude řetězec pro zpracování signálů sestaven. Daní za tuto svobodu je časová a posléze také finanční náročnost takového přijímače. Následující kapitoly popisují několik možností jak provést digitalizaci se záznamem dat do PC.

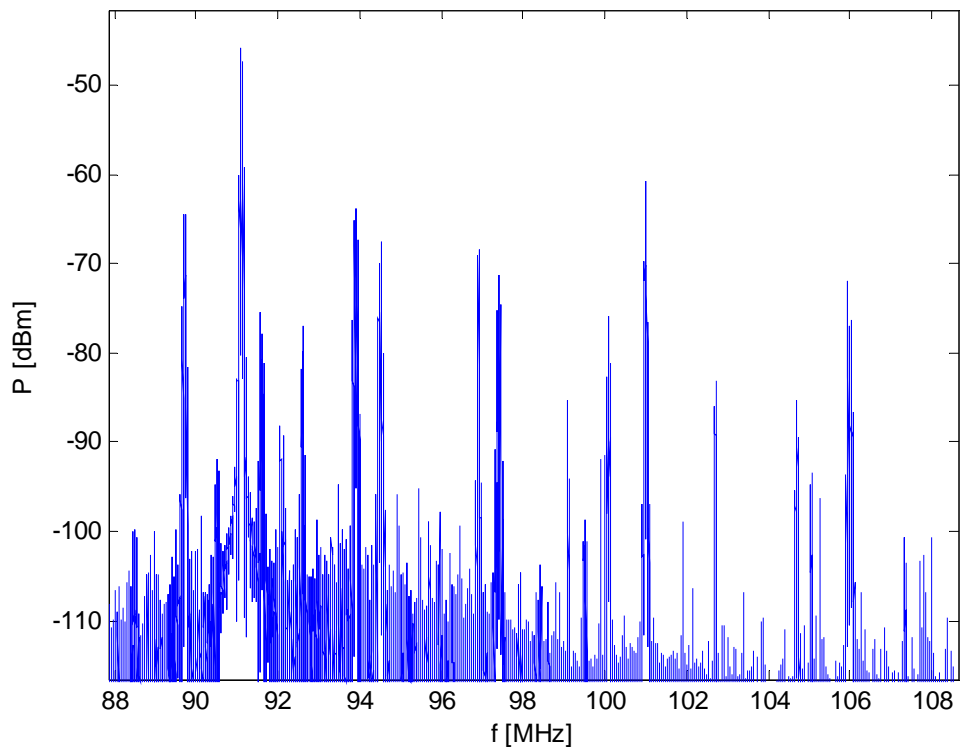
2 METODY VZORKOVÁNÍ A ZÁZNAMU

Následující kapitola přináší přehled otestovaných metod pro vzorkování a záznam radiových signálů v pásmu FM rádia. Otestovány byly celkem tři cesty. Přímé vzorkování osmibitovým osciloskopem s uložením na flash disk a následné zpracování ve výpočetním systému Matlab. Dále byl proveden rozbor využití digitizérů na sběrnici PXI a nakonec návrh vlastního duálního synchronního přijímače.

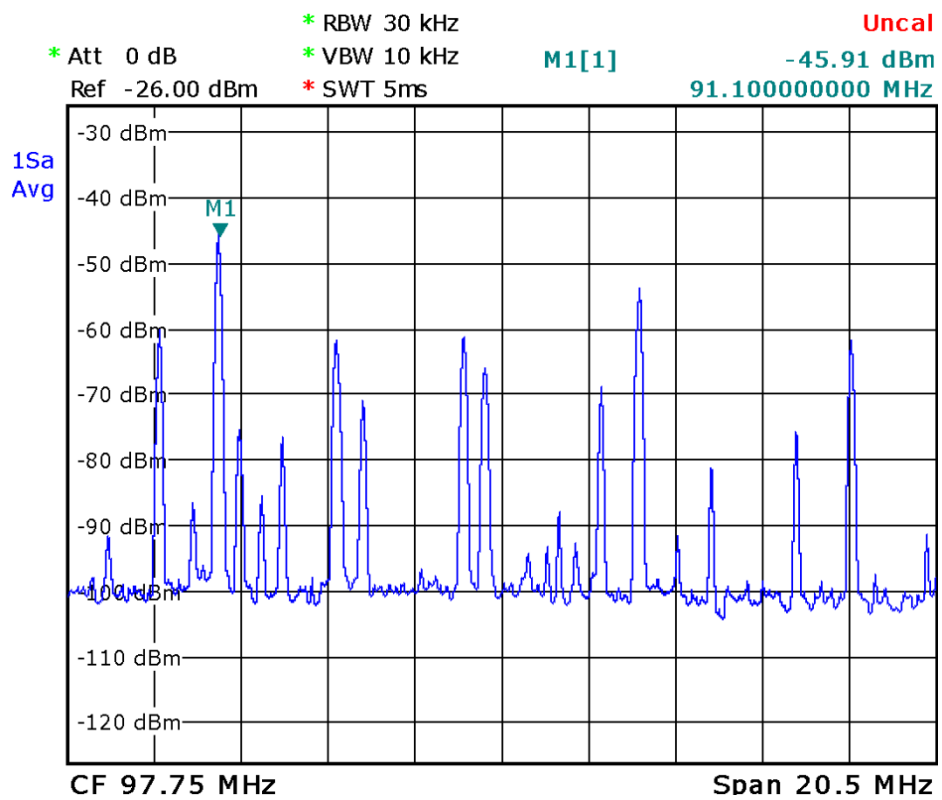
2.1 Přímé vzorkování digitálním osciloskopem

Dnešní moderní osciloskopy umožňují záznam vzorkovaného signálu do paměti zařízení s možností uložení na flash disk nebo přímo do PC. Nabízí se tak možnost jak s minimálními vývojovými náklady sestavit měřící řetězec pro dvoukanalový záznam signálu FM rádia. Na katedře elektrotechniky Univerzity Pardubice byl v době zpracování této práce k dispozici digitální osciloskop DSO7034B. Jedná se o čtyřkanalový osciloskop s maximální vzorkovací frekvencí 2GS/s a šířkou pásma 100MHz. Osciloskop má minimální rozlišení 10mV.

Pro záznam signálu FM rádia byl zvolen režim se vzorkovací rychlostí 500MS/s, 2,5 milionu vzorků. Při této konfiguraci může být zaznamenán signál o celkové délce 5ms. Následující graf ukazuje vypočtené spektrum ze zaznamenaných vzorků. Pro srovnání je uveden graf ze spektrálního analyzátoru. Rozkladem na I/Q složky by touto metodou bylo splněno zadání. Použitý osciloskop by bylo možné se stejnou vzorkovací frekvencí využít i pro záznam druhého kanálu. V tomto případě by se ale délka záznamu snížila na 2,5ms, vzhledem k omezené velikosti interní paměti přístroje.



Obrázek 5: Spektrum vypočítané ze vzorků osciloskopu



Obrázek 6: Spektrum zaznamenané spektrálním analyzátořem

2.2 Digitizéry

Jednou z možností jak zaznamenávat analogová data do počítače pro účely dalšího zpracování je využití digitizérů. Jedná se zařízení umožňující digitalizovat analogové veličiny s rychlostí 10ks/s – 4Gs/s, v některých případech až s 24 bitovým rozlišením a poskytují tak vhodný nástroj pro analýzu signálů v časové i frekvenční oblasti.

Průkopníkem v oblasti digitizérů je společnost National Instruments. Ta svá zařízení úzce spojila se svým dalším produktem, grafickým systémem pro virtuální měřicí přístroje, LabVIEW. Vytvořila tak výkonný nástroj pro vývojové a vědecké práce a vhodnou cenovou politikou také pro výukové účely v předmětech zabývajících se radiotechnikou a zpracováním signálů. Podle použitého rozhraní je možné digitizéry rozdělit do následujících kategorií:

- Moduly a karty s rozhraním USB
- Karty PCI a PCIe
- Ethernetové digitizéry
- Karty pro PCMCIA
- SCXI zařízení
- PXI (PCI eXtensions for Instrumentation)

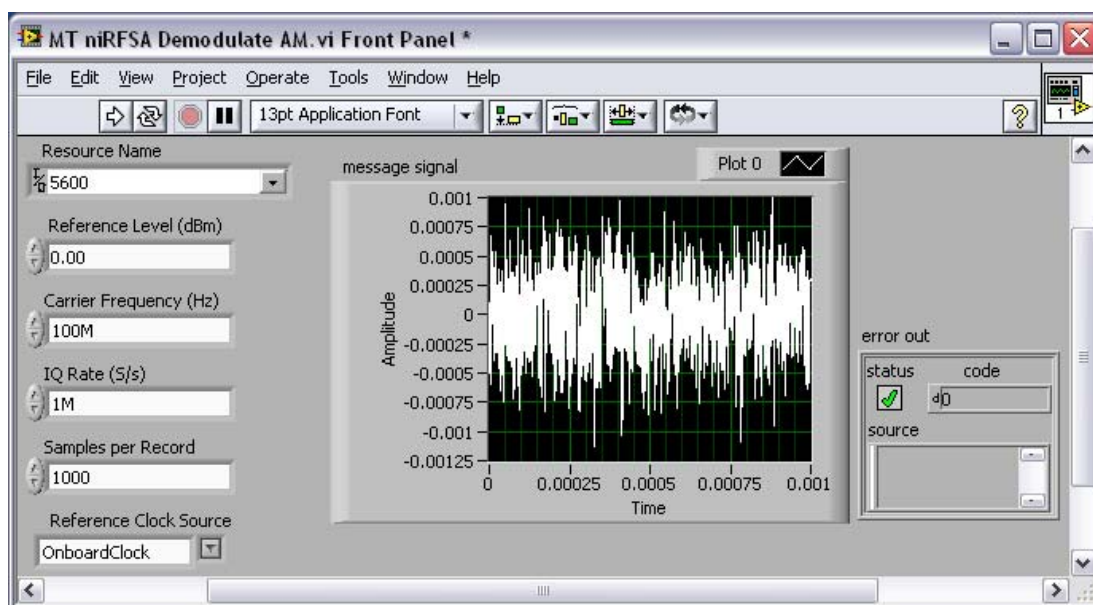
Do kategorie karet s rozhraním PXI patří nejvýkonnější zařízení, které National Instruments nabízí. PXI je otevřeným rozhraním určeným pro měřicí účely a automatizaci. Kombinuje vlastnosti sběrnice PCI a přidává speciální synchronizační sběrnice a modulární systém umístění měřících karet. Na trh byla uvedena v roce 1998. Dnes pro téměř 70 společností nabízí bezmála 1500 karet pro měření a automatizaci.



Obrázek 7: Příklad měřícího systému s využitím rozhraní PXI [8]

2.2.1 Využití digitizérů a systémů LabView v roli přijímače

Systém LabView lze využít jak k offline zpracování signálu, tak také samozřejmě k přímému zpracování právě vzorkovaného signálu, přeneseného z bufferu digitizéru. V mnoha případech (je-li použit dostatečně výkonný počítač) je možné využít digitizérů a LabView i pro funkci opakovače (repeateru). Tyto funkce poskytují digitizéry, které obsahují vlastní směšovač a lokální oscilátor. Signál je pak vzorkován na vhodné mezifrekvenci. V těchto případech lze velmi univerzálně používat vytvořený software, protože pro zpracování signálu v jiném pásmu stačí přeladit digitálně řízený lokální oscilátor.



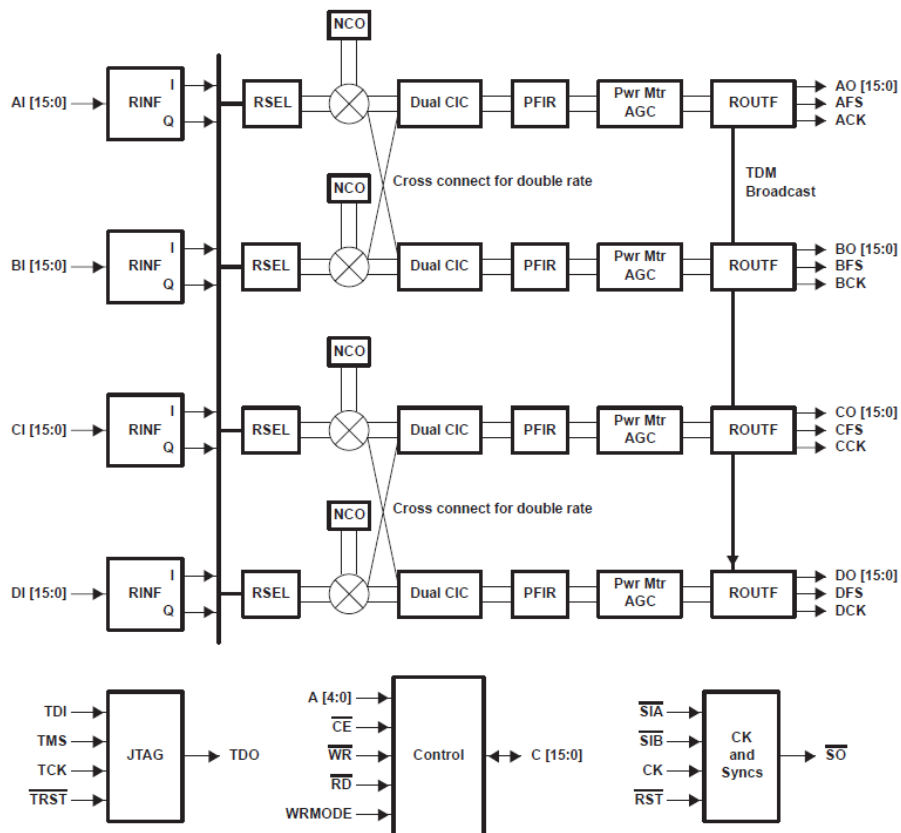
Obrázek 8: Příklad Demodulace AM signálu v systému LabView.

2.3 Využití speciálních integrovaných obvodů DDC

Jednou z možností jak s minimálními vývojovými náklady realizovat digitální konverzi ve frekvenčním spektru je využití specializovaných integrovaných obvodů kategorie DDC. Tyto obvody v sobě integrují číslicově řízený oscilátor, číslicový směšovač, řadu FIR a decimačních CIC filtrů, AGC, obvody pro formátování vstupů/výstupů a nezbytnou řídicí a synchronizační logiku. Řada DDC pak obsahuje jednotky pro výpočet výkonu zpracovávaného signálu. Dnes (duben 2011) patří mezi hlavní producenty čipů s funkcí DDC tyto tři společnosti:

- Texas Instruments (akvizicí GrayChip v roce 2001)
- Analog Devices
- Intersil

Obvody v této oblasti disponuje také National Semiconductor se svými DDC určenými pro nižší přenosové rychlosti. Zajímavostí je, že tyto DDC obsahují A/D převodníky, což u obvodů tohoto není časté.



Obrázek 9: Blokové schéma DDC/DUC GC5016 (Texas Instruments) [7].

Využití specializovaných obvodů z kategorie DDC (popřípadě DUC) přináší výhodu v podobě výrazně nižších nákladů na vývoj a v celé řadě aplikací také nižší kusovou cenu čipu samotného v porovnání s řešením založeným na obvodech FPGA. Přestože čipy disponují rozhraním pro připojení rychlých signálových procesorů (například SPORT) jejich konfiguraci je možné provádět ve většině případů prostřednictvím rozhraní SPI, kterým disponuje téměř každý osmibitový mikrokontrolér, který je dnes na trhu.

V případech, kdy jsou vyžadovány další funkce (například Ethernetové nebo USB rozhraní pro konfiguraci, následné zpracování signálu (například demodulace), případně řízení analogového front-endu, mnohdy výkon připojeného MCU nebo vlastnosti DDC nestačí. V takové případě stojí za zvážení, zda jednoúčelové DDC využít, anebo jej nahradit například vlastní strukturou realizovanou na FPGA v součinnosti s některým ze soft-procesorů.

Označení	Funkce	Počet kanálů	Rychlost [MSPS]	Výrobce
GC4016	DDC	4/2	100	Texas Instruments
GC5016	DDC/DUC	4/4	160	Texas Instruments
GC5018	DDC/DUC	16/8	160	Texas Instruments
GC5316	DDC/DUC	48/24	125	Texas Instruments
GC6016	DDC/DUC	48/1	310	Texas Instruments
AD6620	DDC	1	67	Analog Devices
AD6624A	DDC	4	100	Analog Devices
AD6634	DDC	4	80	Analog Devices
AD6635	DDC	8	80	Analog Devices
AD6636	DDC	6	150	Analog Devices
AD9856	DDC/DUC	1	200	Analog Devices
AD9857	DDC/DUC	1	200	Analog Devices
AD9957	DDC/DUC	1	1000	Analog Devices
HSP50110	Dig. Tunner	1	52	Intersil
HSP50016	DDC	1	75	Intersil
HSP50214	DDC	1	65	Intersil
HSP5016	DDC	4	70	Intersil
ISL5216	DDC	4	95	Intersil
ISL5214	DDC	4	95	Intersil
CLC5903	Dig. Tunner	2	78	National Semiconductor
LM97593	Dig. Tunner	2	78	National Semiconductor

Tabulka 1: Přehled vybraných obvodů DUC/DDC

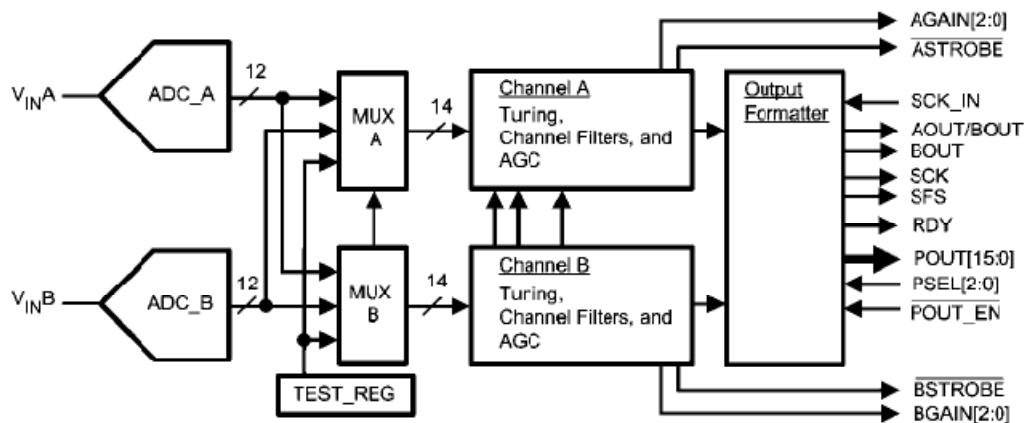
2.4 Dvojitý digitální přijímač LM97593

Jedním z velmi zajímavých obvodů v oblasti DDC je bezpochyby i dvojitý digitální přijímač LM97593 z produkce společnosti National Semiconductor. Od mnoha jiných se liší především tím, že obsahuje AD převodník, což není u obvodů kategorie DDC tak časté. Obvod obsahuje dva nezávislé kanály, které jsou ale v mnoha případech parametrizovány společně. Také výstup obou kanálů je společný a to buď skrze sériovou, nebo paralelní sběrnici. Obvod dále nabízí dvakrát tři řídicí bity pro variabilní zesilovače, které umožňují využít vzorkování signálů v maximální možné míře. Pro maximální využití vlastností obvodu je doporučováno využití dvojice LM97593 a integrovaného VGA CLC5526, dnes nahrazovaného novějším LMH6514. Tato dvojice obvodů často nalézá uplatnění v základnových stanicích pro mobilní komunikaci, přijímačích GSM/GPRS/EDGE/GSM G2, satelitních přijímačích a zařízeních digitální komunikace.

Základní parametry LM97593:

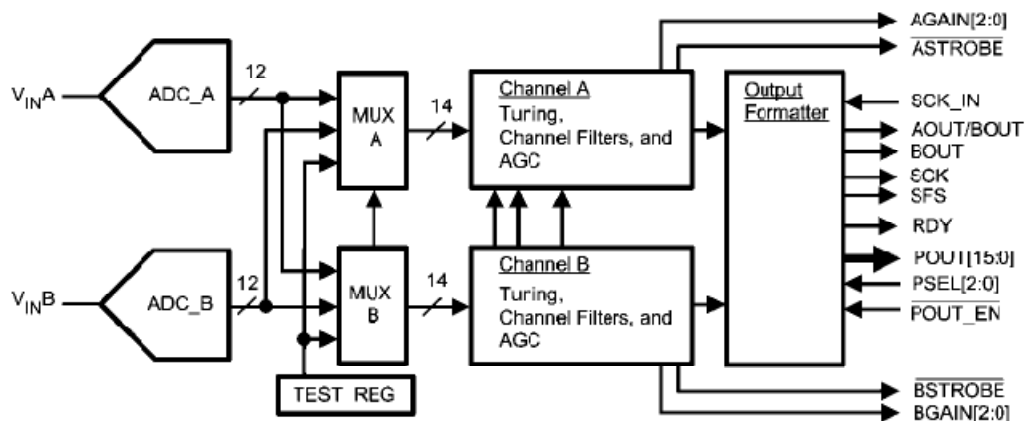
- Dynamický rozsah 123dB (v kombinaci s CLC5526 nebo LMH6514).
- Precizní reference umístěná na čipu.
- Uživatelsky programovatelné AGC s integrovaným měřením výkonu.
- Kanálové filtry (CIC filtry čtvrtého řádu, symetrické FIR)
- Konfigurovatelný výstupní formát.
- Sériový nebo paralelní výstup.
- 8-bitové rozhraní pro komunikaci s mikrokontrolérem.
- Pouzdro PQFP 128.
- Interní 12bit ADC.
- Maximální vzorkovací frekvence 65MHz / kanál.

Integrovaný obvod LM97593 umožňuje vzorkovat vstupní signál s maximální vzorkovací frekvencí 65MS/s. Při snížení vzorkovací frekvence na 52MS/s, s maximálním stupněm decimace, lze snížit výstupní vzorkovou rychlost až na 1.3kHz. Stupeň decimace nelze vybrat zcela libovolně. Proto je při návrhu zařízení třeba dbát na to, aby byla zvolena taková vzorkovací frekvence, umožňující obvodům následujícím po LM97593 zpracovat výstupní data.



Obrázek 10: Základní představa využití obvodu LM97593 [4]

Další blokové schéma přináší zjednodušený pohled na vnitřní strukturu dvojitého přijímače. Jak je z obrázku patrné, pro obě paralelní cesty je možné vybrat stejný zdroj signálu (ADC). To umožňuje zpracovávat z jednoho zdroje i několik oddělených kanálů najednou. Následuje blok digitálního zpracování signálu. V praxi se jedná o číslicový kvadratický směšovač s přeladitelným číslicovým oscilátorem. Dále obvody pro zaokrouhlení, převod soustavy na pevnou řádovou čárku, CIC filtry, a dva FIR filtry s 21 a 63 tapy. Následuje výstupní formátová jednotka pro přizpůsobení dat pro další obvody.



Obrázek 11: Zjednodušená představa vnitřní struktury LM97593 [4]

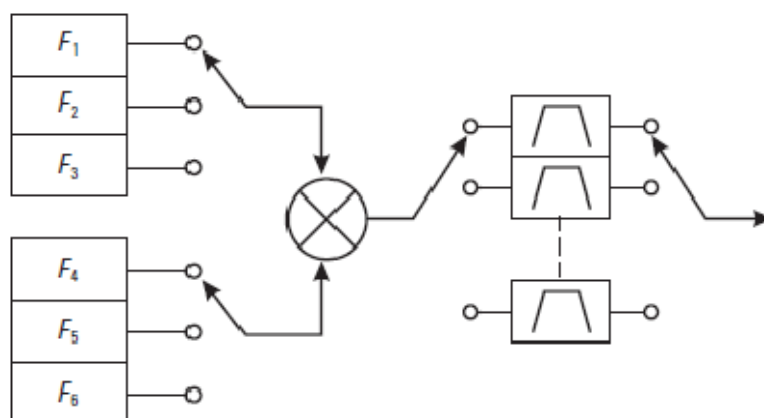
3 MÍSTNÍ OSCILÁTORY

Místní oscilátor tvoří u superhetu jednu z nejdůležitějších součástí. Kvalita místního oscilátoru pak mnohdy limituje možnosti celého přijímače. Jeho frekvence je zpravidla učena mezifrekvenčním a přijímaným kmitočtem. Velmi často je součtem těchto dvou frekvencí. Výhodné je zvolit takový, aby nepřekrýval nějakou významnou službu v oblasti. Starší přijímače obsahují často LC oscilátory, kdy přeladění zajišťuje otočný kondenzátor. U autorádií se z konstrukčních důvodů někdy objevují oscilátory laděné cívkami s proměnnou indukčností. Modernější přijímače přinesly změnu v podobě využití VCO. Tato technologie umožňuje elektronické řízení oscilátoru a spolu se zpětnou vazbou i následnou kontrolu laděného kmitočtu.

V moderních přijímačích jsou v roli místních oscilátorů nasazovány syntezátory. Lze je nalézt v téměř každé současné radiostanici, mobilních telefonech, satelitních přijímačích, měřicích přístrojích a mnoha dalších.

3.1 Obvody frekvenční syntézy

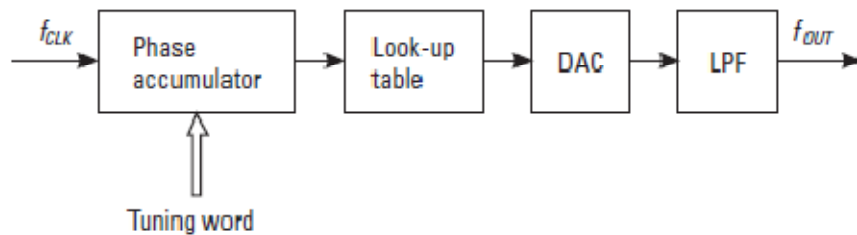
Obvody frekvenční syntézy je možné podle principu rozdělit na tři základní kategorie. Do první kategorie řadíme obvody **přímé analogové syntézy**. Toto řešení je starší, dnes stále méně využívané, je nákladnější, ale oplývá některými výhodnými vlastnostmi, jako je například čistota spektra výstupního signálu nebo vysoká rychlost změny kmitočtu. Tyto obvody se využívají často v aplikacích, kde nezáleží příliš na ceně a rozměrech, na druhou stranu je vyžadována vysoká jakost výstupu. Takovými aplikacemi jsou například radary nebo některá přenosová zařízení. Na obrázku 12 je uveden příklad jednoduchého analogového syntezátoru. Jsou zde dvě různé banky referenčních kmitočtů. Vybrané kmitočty jsou smíseny a vzniklé produkty filtrovány jednou z vybraných pásmových propustí. Ve složitějších systémech mohou být produkty dále míseny a filtrovány.



Obrázek 12: Příklad přímé analogové syntézy [2]

Celý systém přepínání zdrojů a výběr filtrů pak může být řízen například ručně obsluhou, nebo automaticky logikou zařízení. Někdy je možné tato zapojení nalézt ve velmi kvalitních měřicích přístrojích, kde výběr zdrojů referenčního signálu, případně jejich přeladění zajišťuje automatika měřicího přístroje.

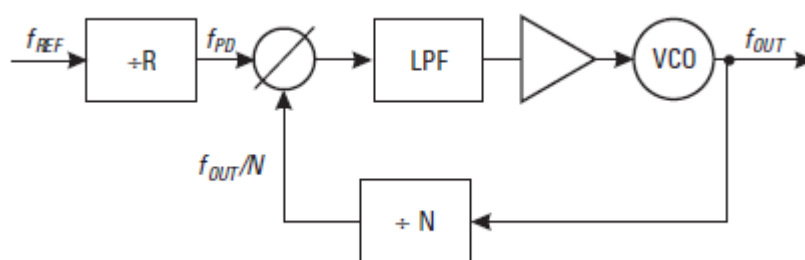
Dalším ze způsobů produkce signálů je v současnosti velmi oblíbená **přímá digitální syntéza**. Její princip zjednodušeně spočívá v časové rekonstrukci harmonického signálu v číslicové podobě a následně převod do analogové formy. Jednoduše lze takový syntezeátor vytvořit z paměti, kde jsou uloženy vzorky harmonického signálu, z kruhového čítače, který adresuje tuto paměť a D/A převodníku, který provádí rekonstrukci analogového signálu. Nezbytný je výstupní antialiasingový filtr. Oscilátor s pevnou frekvencí by bylo možné vytvořit jednoduše výše uvedeným postupem. Je-li požadavek na změnu frekvence, pak je možné při stejném hodinovém kmitočtu čítače provádět adresaci s přírůstkem větším než jedna. Čím vyšší přírůstek bude, tím vyšší frekvenci bude mít výstupní signál. Tímto způsobem je možné samozřejmě generovat i neharmonické signály a systém může sloužit i k záznamu a následnému přehrávání téměř jakéhokoliv signálu splňujícího Nyquistovo kritérium. Principu využívají některé moderní funkční generátory.



Obrázek 13: Příklad klasické DDS (Direct Digital Synthesizer) [2]

D/A převodník může být v jednodušších DDS tvořen rezistorovým polem a oddělovacím zesilovačem. V mnoha případech to stačí (například elektronické klávesové nástroje). Většina speciálních obvodů s funkcí DDS má však převodník integrován. Výstupní antialiasingový filtr není integrován téměř nikdy. Nastavení a komunikace s DDS je zpravidla realizováno prostřednictvím SPI nebo zjednodušené třívodičové sběrnice.

Nepřímá syntéza je další z možností jak generovat harmonické signály. Jednou ze základních součástí těchto syntezátorů je přeladitelný generátor (nejčastěji napěťově řízený oscilátor – VCO). Tento generátor produkuje výstupní signál, jehož frekvence je v předem stanoveném vztahu k frekvenci referenčního signálu z externího zdroje. Obvody nepřímé syntézy zpravidla využívají systému fázového závěsu (**PLL – Phase Lock Loop**).



Obrázek 14: Příklad nepřímého syntezátoru s PLL [2]

Obrázek 14 uvádí typický příklad nepřímého syntezátoru s VCO a fázovým závěsem. VCO produkuje výstupní signál f_{OUT} , který je ve zpětné smyčce natvarován a podělen děličkou N . Natvarován a podělen je také referenční signál f_{REF} . Dělicí poměr N je často určen jako $N = A + P \cdot B$, kdy A a B jsou volně měnitelné registry, P bývá výčtová konstanta. Dělička R mívá většinou pouze poměr R . všechny tři registry

je možné zpravidla měnit prostřednictvím linky SPI anebo speciální třívodičové sběrnice.

Natvarované a podělené signály f_{REF} a f_{OUT} jsou přivedeny do fázového detektoru, který porovná oba signály. Fázový detektor spolu s dolní propustí na jeho výstupu a zesilovačem (není pravidlo) generuje ladící napětí pro VCO. Ladící napětí je odvozeno od rozdílů fáze a frekvence obou signálů. Jakákoliv odchylka poděleného výstupního signálu od referenčního je tak dorovnána. Toto dorovnání vyžaduje nějaký čas a zvláště v případě změny hodnot děliček, je nutné při návrhu zařízení, kde je použit syntezátor s PLL, pamatovat na tyto prodlevy.

3.2 Stručný přehled integrovaných syntezátorů

Následující kapitola přináší stručný přehled vybraných integrovaných syntezátorů. Ze tří výše jmenovaných typů zde nejsou zastoupeny obvody přímé analogové syntézy. Tyto syntezátory nejsou pro svou komplikovanou konstrukci nabízeny ve formě integrovaných obvodů.

Označení	Funkce	Reference [MHz]	Pásmo [MHz]	Výrobce
ADF4001	Syntetizér	max. 200	-	Analog Devices
ADF4002	Syntetizér	max. 400	-	Analog Devices
ADF4007	Syntetizér	max. 7000	-	Analog Devices
ADF4113	Syntetizér	max. 4000	-	Analog Devices
ADF4360-0	Syntetizér+VCO	-	2400-2725	Analog Devices
ADF4360-7	Syntetizér+VCO	-	350-1800	Analog Devices
ADF4360-8	Syntetizér+VCO	-	65-400	Analog Devices
TRF3750	Syntetizér	max. 2400	-	Texas Instruments
TRF3761	Syntetizér+VCO	10-104	1493-2295	Texas Instruments
Označení	Funkce	Master CLK [Mhz]	Rozlišení [Hz]	Výrobce
AD9850	DDS (32bit)	max. 200	0.0291	Analog Devices
AD9858	DDS (32bit)	max. 1000	0.233	Analog Devices
AD9854	DDS (48bit)	max. 400	1.42e-6	Analog Devices

Tabulka 2: Přehled vybraných integrovaných syntezátorů

3.3 Integrovaný syntezeátor ADF4360-8

Pro konstrukci dvojitého přijímače byl použit v roli lokálního oscilátoru integrovaný syntezeátor ADF4360-8. Obvod společnosti Analog Devices integruje nejen fázový závěs, ale také napětím řízený oscilátor, což výrazně usnadňuje a mnohdy i zlevňuje celou konstrukci. Obvod ADF4360 obecně ke své funkci vyžaduje pouze zajištění napájení a referenčního signálu, komunikační linku SPI (třívodičové) s nadřazeným systémem a filtr smyčky fázového závěsu, který není možné vyrobit v integrované podobě. Následující seznam přináší přehled základních vlastností integrovaného syntezeátoru ADF4360-8:

- Rozsah frekvence výstupního signálu 65MHz-400MHz.
- Napájecí napětí v rozsahu 3.0V-3.6V.
- Kompatibilita s 1.8V logikou.
- Programovatelná úroveň výstupního signálu.
- Tří drátová komunikační linka.
- Indikace zachycení (Lock Detect).
- Hardwarový i Softwarový Power-Down mód.

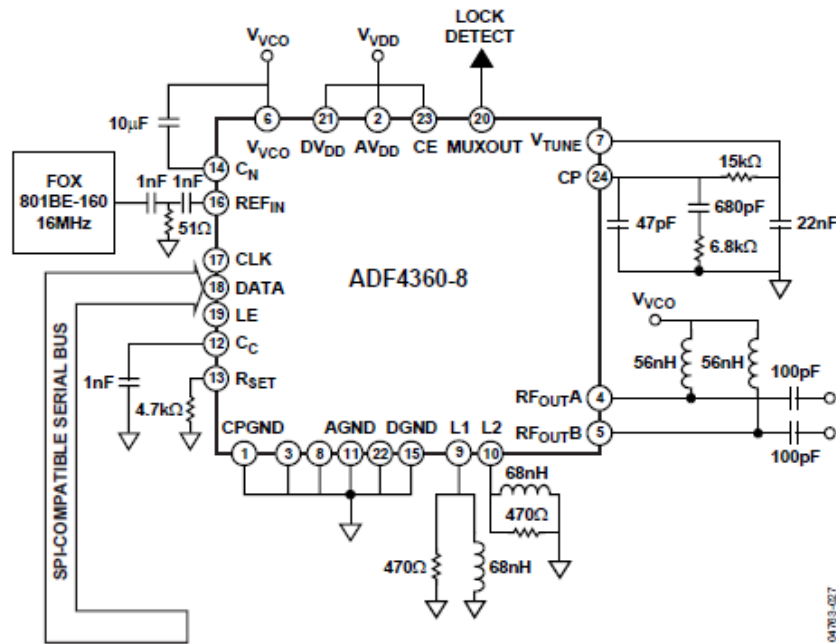
3.3.1 Popis a ovládání obvodu

Referenční signál je po vstupu do obvodu natvarován a podělen R-děličkou. Ta může u rodiny obvodů ADF4360 dosahovat max. hodnoty 16383 (14bit. Předdělička). Nastavení R-děličky je prováděno skrze zápis do R-registru.

RESERVED	RESERVED	BAND SELECT CLOCK		TEST MODE BIT	LOCK DETECT PRECISION	ANTI-BACKLASH PULSE WIDTH		14-BIT REFERENCE COUNTER														CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
RSV	RSV	BSC2	BSC1	TMB	LDP	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (1)

Tabulka 3: Struktura Reference Registru [6]

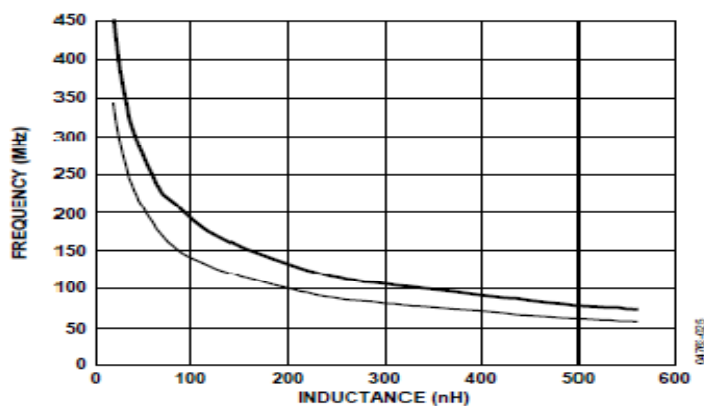
Parametrem **BAND SELECT CLOCK** se volí předdělička R-děličky, tak aby výstupní frekvence R-děličky nebyla vyšší než 1MHz. **TEST MODE** je pro normální funkci nastaven na 0. Řídící bity určují zapisovaný registr. Velikost referenčního registru určuje kmitočtový krok, kterého můžeme při přeladování syntezeátoru dosáhnout, změnou N-děličky.



Obrázek 15: Základní zapojení syntezátoru ADF4360-8 [6].

Jako zdroj referenčního hodinového signálu je možné využít některý ze sinusových krystalových oscilátorů XO nebo teplotně kompenzovaných krystalových oscilátorů TCXO. Vstupem samozřejmě může být i produkt dalších hodinových obvodů (například AD9523).

Volba pásma, ve kterém syntezátor pracuje je prováděna výběrem hodnot cívek na vstupech L1 a L2. Následující graf zobrazuje závislost pracovního pásma na vybraných hodnotách cívek L1 a L2. U některých dalších obvodů rodiny ADF4360 nejsou tyto vývody využívána.



Obrázek 16: graf závislosti střední frekvence na volbě cívek L1, L2 [6]

Výběru frekvenčního rozsahu a potažmo součástek by měla odpovídat také hodnota N-děličky, tedy děličky ve zpětné vazbě fázového závěsu. N dělička je parametrizována dvěma registry A a B výrazem $N = B.P+A$. U obvodu ADF4360-8 není registr A uvažován a ani násobící parametr P není integrován. Proto je možné určit výstupní frekvenci dle vztahu:

$$f_{VCO} = B \cdot f_{REFIN} / R$$

Následující tabulka vysvětluje obsah N-registru.

RESERVED	RESERVED	CP GAIN	13-BIT B COUNTER													RESERVED					CONTROL BITS		
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
RSV	RSV	CPG	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	RSV	RSV	RSV	RSV	RSV	RSV	C2 (1)	C1 (0)

Tabulka 4: Struktura N-Registru [6]

CP GAIN určuje proudové nastavení nábojové pumpy. **B13-B1** umožňuje nastavit A (potažmo N) dělič. Dalších 6 bitů je rezervovaných. U ostatních obvodů rodiny ADF4360 jsou určeny k nastavení čítače **A**. Řídící bity určují typ zapisovaného registru

Posledním registrem je Řídící registr s nastavením obvodu.

RESERVED	RESERVED	POWER-DOWN 2	POWER-DOWN 1	CURRENT SETTING 2			CURRENT SETTING 1			OUTPUT POWER LEVEL		MUTE-TIL-LD	CP GAIN	CP THREE-STATE	PHASE DETECTOR POLARITY	MUXOUT CONTROL			COUNTER RESET	CORE POWER LEVEL			CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
RSV	RSV	PD2	PD1	CPI6	CPI5	CPI4	CPI3	CPI2	CPI1	PL2	PL1	MTLD	CPG	CP	PDP	M3	M2	M1	CR	PC2	PC1	C2 (0)	C1 (0)	

Tabulka 5: Struktura R-Registru [6]

Pro většinu aplikací je zajímavý především parametr **OUTPUT POWER LEVEL**, který umožňuje nastavení výkonu signálu v rozmezí -19dBm až -9dBm. Dále pak nastavení funkce vývodu MUXOUT a to konkrétně bity **MUXOUT CONTROL**. Řídící bity specifikují typ nastavovaného registru.

4 KONSTRUKCE VLASTNÍHO PŘIJÍMAČE

Přestože v současné době je možné zakoupit dvoukanálový přijímač v požadovaném pásmu hotový, představuje jeho pořízení výraznou investici. V případě digitizérů pro rozhraní PXI se jedná o částky přesahující 100 tisíc korun, což je vzhledem k účelům, pro které má být přijímač použit velmi vysoká částka.

Dalším řešením je rozšíření paměti osciloskopu použitého k měření v předchozí kapitole. U osciloskopů Agilent, kterými jsou laboratoře katedry elektrotechniky vybaveny je možné paměť rozšířit na max. 8 milionů vzorků, což například při vzorkovací rychlosti 200MS/s znamená pouze 40ms záznamu. A to neodpovídá zadání.

Z těchto důvodů byl navržen vlastní dvoukanálový přijímač se společným místním oscilátorem. Celé zařízení bylo navrhováno modulárně, tak aby jednotlivé části bylo možné zaměnit za jiné a komponenty tak využít i při jiných projektech nebo ve výuce. Měřicí sestava je složena z následujících komponent:

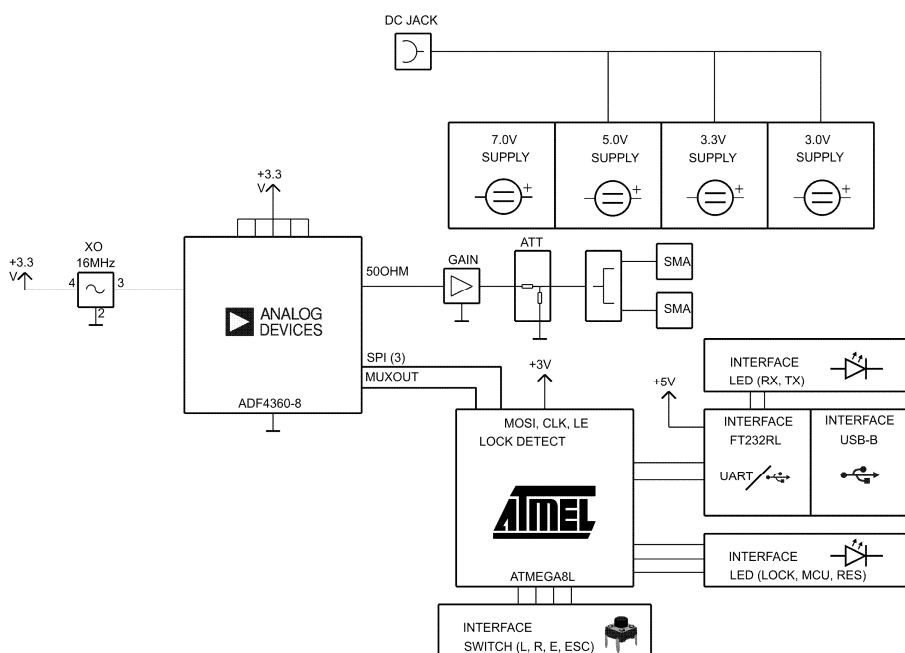
- Vstupní analogové filtry
- Směšovač a místní oscilátor
- Jednotka vzorkování a digitálního zpracování
- Komunikační jednotka

Vysokofrekvenční propojení mezi jednotlivými jednotkami je realizováno prostřednictvím konektorů SMA. Řízení sestavy je realizováno jednoúčelovými aplikacemi, komunikujícími s jednotkami prostřednictvím USB. Řízení je možné svěřit také jinému nadřazenému systému prostřednictvím k tomu určených systémových konektorů. Aplikace a zdrojové kódy ovládacího software jsou dostupné z příloženého CD.

4.1 Vývojová deska syntezátoru

Při práci na dvoukanálovém synchronním přijímači byla navržena vývojová deska syntezátoru v roli lokálního oscilátoru. Obvodové schéma vývojové desky je založeno na integrovaném syntezátoru ADF4360-8. Tento obvod umožňuje při centrální frekvenci 100MHz přeladění cca ± 10 MHz.

Celá deska je řízena osazeným mikroprocesorem ATmega8. Ten ovládá syntezátor prostřednictvím třívodičové sběrnice vycházející ze standardu SPI. Komunikace s řídicí aplikací v PC probíhá skrze virtuální sériovou linku zajištěnou obvodem FT232R společnosti FTDI Chip.

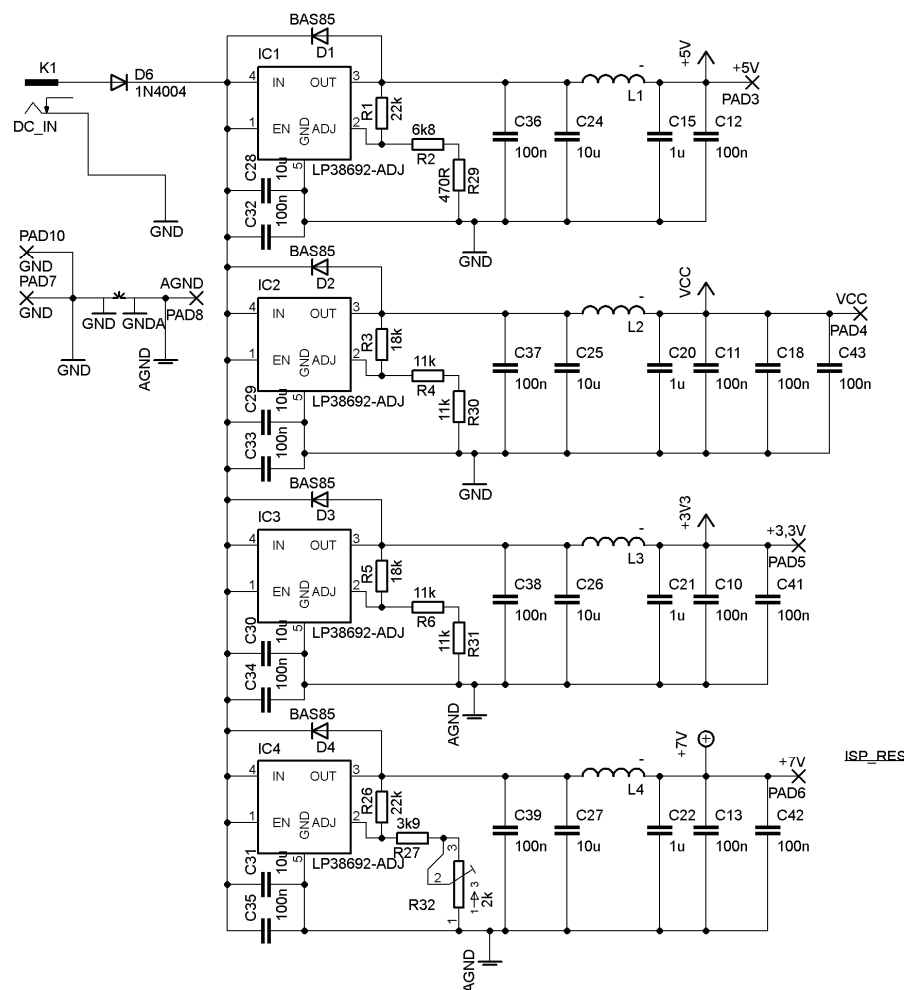


Obrázek 17: Blokové schéma desky syntezátoru

Pro jednodušší ovládání desky syntezátoru byla vytvořena jednoduchá aplikace **SynthControl** umožňující změnu hodnot obou děliček, chování výstupu **MuxOut** a řízení výkonu výstupního signálu. Změna referenčních hodin není bez zásahu do DPS možná, s připojením externího hodinového obvodu nebylo při návrhu počítáno.

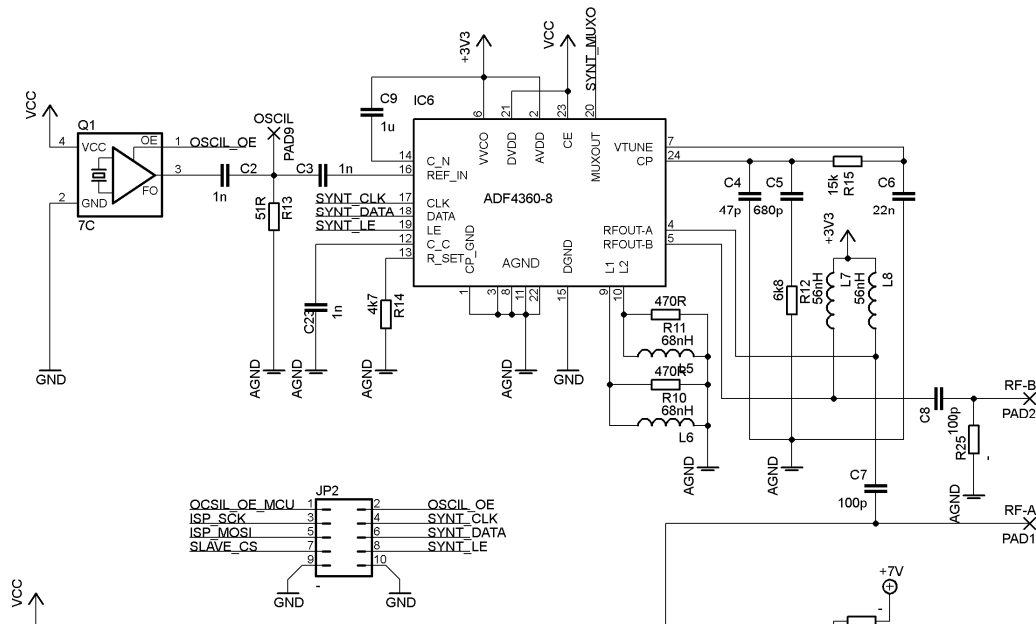
Zdrojová část vývojové desky je tvořena pěti nízko-úbytkovým lineárními stabilizátory LP38692 v doporučeném zapojení dle katalogového listu výrobce. Výstup každého z nich je filtrován. Sedmivoltový stabilizátor je určen pro napájení

vysokofrekvenčního zesilovače. Ve zpětné vazbě zdroje je vřazen trimer pro zpřesnění napětí na zesilovači. Tím lze změnit zesílení, případně použít jiný typ zesilovače. Dva zdroje o výstupním napětí 3.3V jsou určeny pro napájení mikroprocesoru digitálních částí syntezátoru (VCC) a krystalového oscilátoru. Druhý ze zdrojů je využíván k napájení analogových částí syntezátoru. Pětivoltový zdroj napájí USB převodník FT232RL. Napájecí napětí převodníku je pak přes diodu propojeno na +5V. To umožňuje napájet celou desku přes toto rozhraní, pokud není k dispozici jiný zdroj. V tomto případě je možné počítat s maximálním odběrem 100mA, není-li v převodníku nastaveno jinak.



Obrázek 18: Zapojení zdrojové části vývojové desky

Obvod syntezátoru je zapojen dle doporučení katalogového listu. Zdrojem referenčního signálu je 16MHz krystalový oscilátor. V tomto případě jsou kondenzátory C2 a C3 nahrazeny nulovými propojkami, rezistor R13 nezapojen. Pro případ použití sinusových zdrojů je nutné tyto součástky vyměnit.



Obrázek 19: Zapojení obvodu syntezátoru

Pro ovládání obvodu byla vyvinuta knihovna v jazyce C, umožňující plně spravovat chování obvodu. Všechny řídicí registry obvodu jsou zde reprezentovány strukturami s příslušnými parametry. Struktury jsou dále v programu adresovány jako bajtové pole a jednotlivé bajty zasílány prostřednictvím SPI do ADF4360. Knihovnu lze jednoduše upravit i pro jiné obvody z rodiny ADF. Podobným ovládáním rovněž disponují další analogové obvody společnosti Analog Devices (AD převodníky, centrální hodinové obvody, VGA). Následující zdrojové kódy uvádějí způsob, jakým jsou reprezentovány registry obvodu ADF4360 prostřednictvím struktur. Počet bitů souhlasí s rozvržením bitů uvedeným v katalogovém listu obvodu.

```

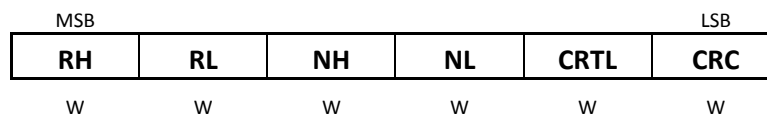
typedef struct {
    unsigned char Control : 2;
    unsigned char CorePower : 2;
    unsigned char CounterReset : 1;
    unsigned char MuxControl: 3;
    unsigned char PhaseDetectoPolarity: 1;
    unsigned char CPThreeState: 1;
    unsigned char CPGain: 1;
    unsigned char MuteTilLD: 1;
    unsigned char OututPowerLevel: 2;
    unsigned char CurrentSetting1: 3;
    unsigned char CurrentSetting2: 3;
    unsigned char PowerDown1: 1;
    unsigned char PowerDown2: 1;
    unsigned char Reserved: 2;
} T_CONTROL_LATCH;

typedef struct {
    unsigned char Control: 2;
    unsigned char Reserved: 6;
    unsigned int NCounter: 13;
    unsigned char CPGain: 1;
    unsigned char Reserved2: 2;
} T_N_COUNTER_LATCH;

typedef struct {
    unsigned char Control: 2;
    unsigned int RCounter: 14;
    unsigned char AntiBackslashPulseWidth: 2;
    unsigned char LockDetectPrecision: 1;
    unsigned char TestModeBit: 1;
    unsigned char BandSelectClock: 2;
    unsigned char Reserved: 2;
}

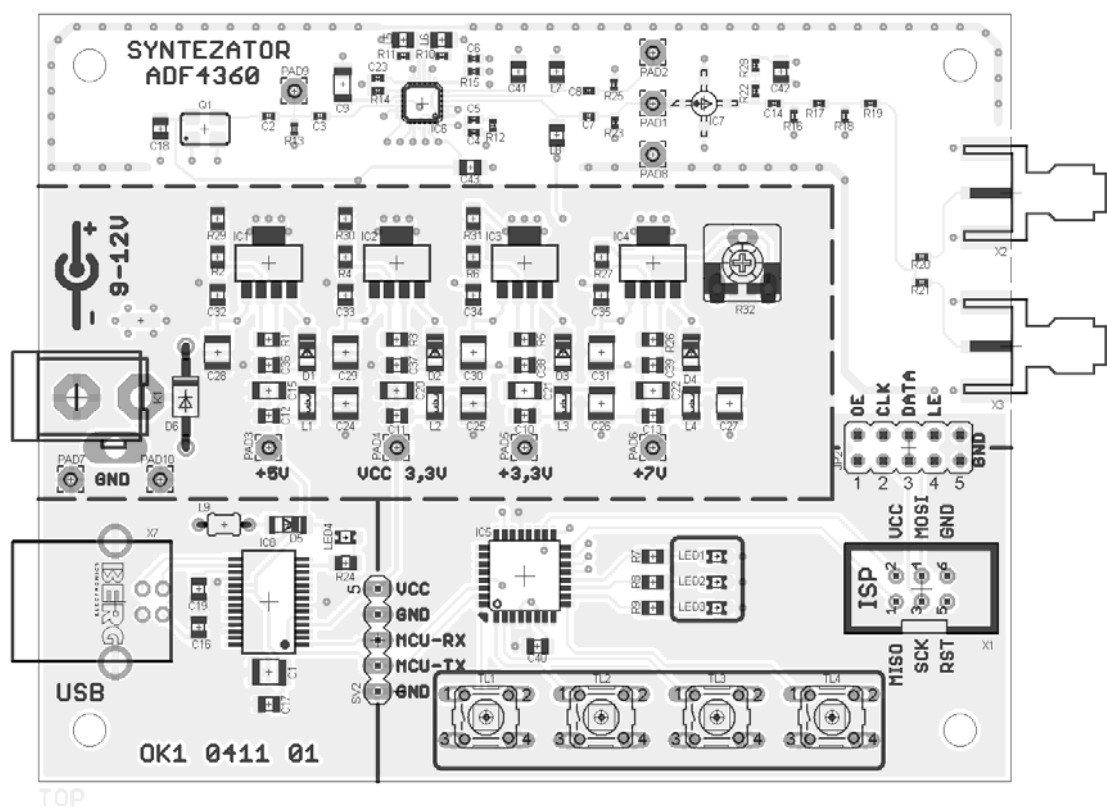
```

Obsah struktur je prostřednictvím SPI zasílán bajt po bajtu pomocí ukazatele na typ bajt, ukazující na příslušnou strukturu. S praktických důvodů (měření) byla zvolena hodinová rychlost SPI na 1MHz. Je to kompromis mezi rychlostí a dobrými podmínkami pro měření. Pro náročnější aplikace je vhodné hodinovou rychlost zvýšit až na 20MHz. Zde je ovšem nutné počítat s tím, že podstatnou prodlevu při nastavení obvodu tvoří přeladění fázového závěsu, nikoliv komunikace prostřednictvím SPI. Pro nastavení vývojové desky prostřednictvím sériové linky byl vytvořen jednoduchý protokol:



Tabulka 6: Struktura zprávy aplikace SynthControl

Bajty **RH**, **RL** reprezentují hodnotu referenčního čítače, **NH**, **NL** pak hodnotu zpětnovazebního čítače, bajt **CTRL** řídí činnost výstupu MuxOut (bity 2:0), a výstupní výkon bity (5:3). Hodnoty odpovídají katalogovému listu. **CRC** je tvořeno XORováním všech předchozích bajtů navzájem. Proběhne-li komunikace v pořádku a MCU nastaví syntezátor a odpoví „**OK**“. Je-li poškozeno CRC, je odpověď „**CRC_ERR**“, je-li poškozena struktura zprávy, odpoví MCU „**SYNTAX_ERR**“. Propojení mezi MCU a syntezátor je vedeno přes dvouřadou pinovou lištu. To umožňuje ovládat syntezátor i z jiného kontroléru mimo vlastní vývojovou desku. Kompletní schéma vývojové desky je uvedeno v příloze této práce.



Tabulka 7: Vývojová deska syntezátoru - osazovací výkres

Konektor K1 – napájení v rozsahu 9-12V.

Konektor X7 – připojení PC (USB-B).

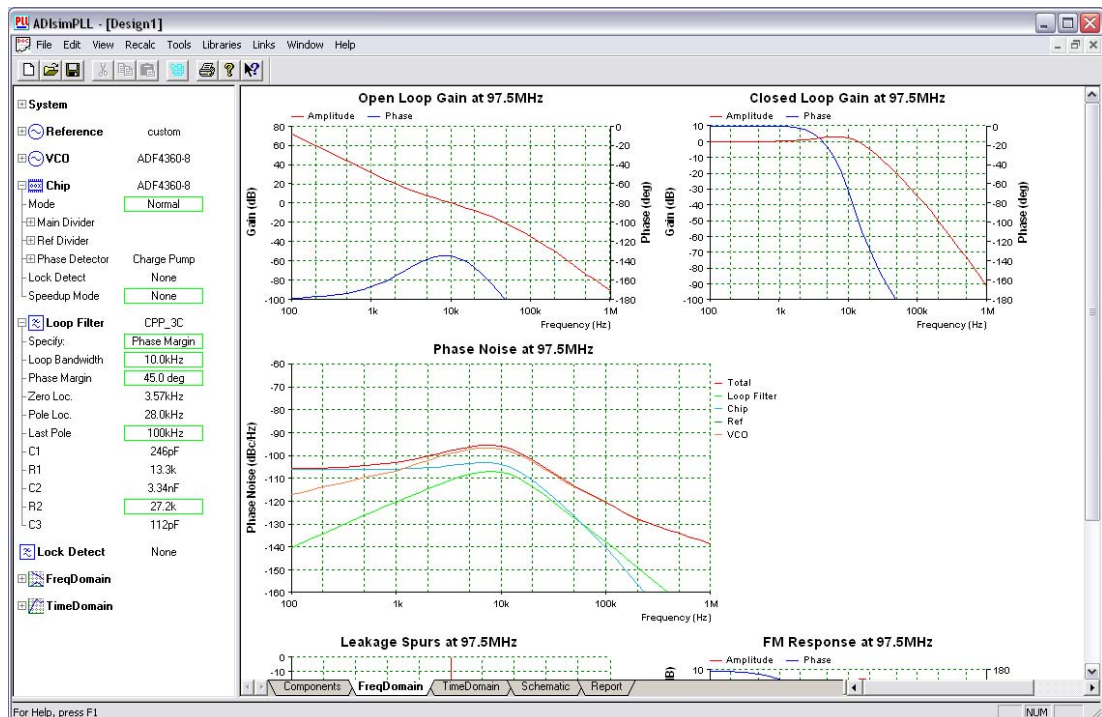
Konektor X1 – připojení programátoru STK500.

Konektor JP1 – propojení MCU a Syntezátoru.

Konektory X2, X3 – výstup syntezátoru.

4.1.1 Návrh regulační smyčky fázového detektoru

Protože návrh obvodu regulační smyčky fázového detektoru představuje relativně složitou problematiku a v inženýrské praxi je vhodné minimalizovat čas věnovaný rutinním výpočtům, publikoval výrobce obvodů ADF4360, společnost Analog Device, speciální aplikaci ADIsimPLL určenou pro výpočet a následnou simulaci parametrů součástek regulační smyčky. Aplikaci je možné po registraci získat zdarma z webu společnosti Analog Devices.

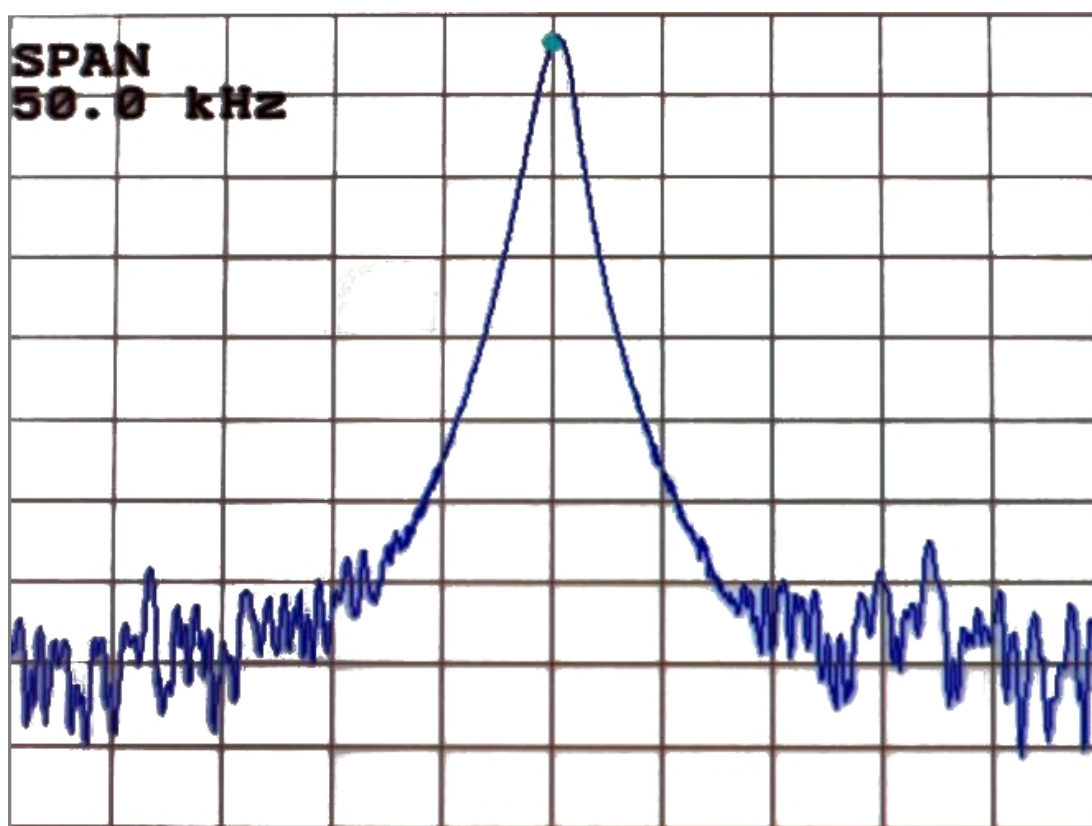


Tabulka 8: ADIsimPLL, výpočet regulační smyčky fázového detektoru

Aplikace umožňuje zadat frekvenční rozsah regulační smyčky, hodnotu referenčního kmitočtu, šířku pásma frekvenčního kroku a maximální fázový posuv smyčky. Zároveň podle zvoleného obvodu kontroluje, zda tento obvod je schopen plnit funkci dle zadaných parametrů. Výstupem je schéma regulační smyčky a grafy zobrazující její chování. Software umožňuje optimalizovat vypočítané součástky na základě zvolené řady.

4.1.2 Testování a měření

Vývojová deska syntezátoru byla otestována v rozsahu 90-110MHz. Pro jiný rozsah je třeba upravit tlumivky určující střední frekvenci syntezátoru. Základním předpokladem pro správnou funkci je čistota DPS v okolí syntezátoru. Měření prokázalo, že jakékoliv zbytky tavidla negativně ovlivňují čistotu spektra generovaného signálu. Následující graf zobrazuje spektrum signálu na frekvenci 90MHz. Pro měření byl použit Spektrální analyzátor ADVANTEST RS2323.



Obrázek 20: Výstup syntezátoru. RefLvl: -20dBm, Span: 50kHz, RBW: 1kHz

4.2 Blok číslicového zpracování dat

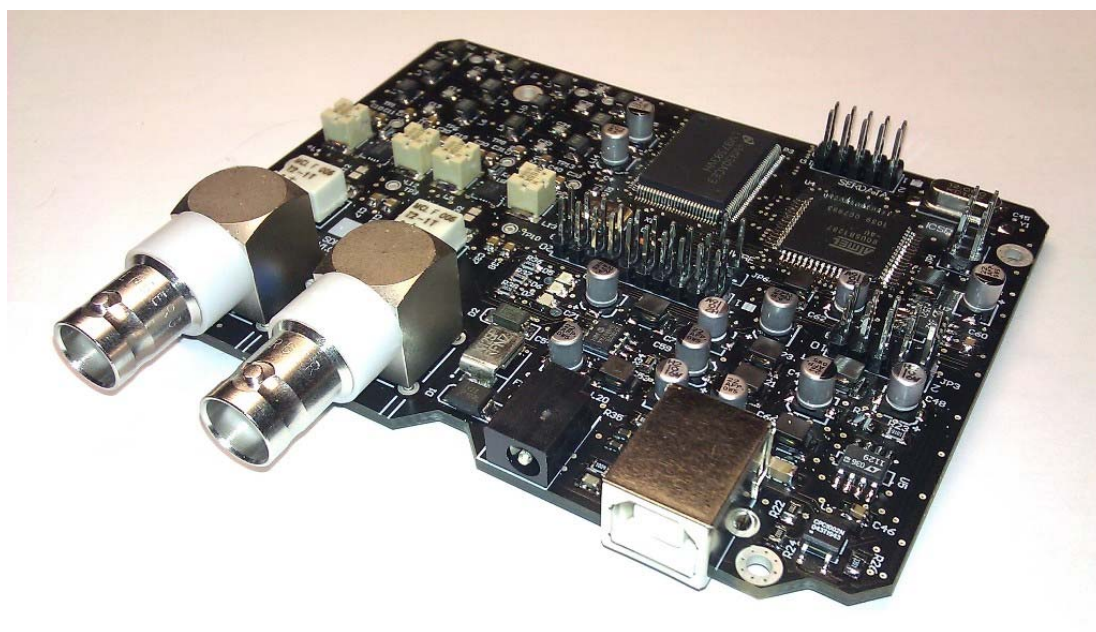
Jako základní část bloku číslicového zpracování dat byl použit DDC společnosti National Semiconductor LM97593. Stručný popis tohoto obvodu je uveden v kapitole 2.4. Úroveň na analogových vstupech tohoto obvodu je upravována řízenými zesilovači LMH6514, také od National Semiconductor. Vzhledem k univerzálnosti byly všechny digitální vstupy a výstupy vyvedeny na dvouřadé kolíkové konektory. Následné zpracování a řízení obvodu DDC je tak možné provádět na jakékoliv platformě, která této činnosti výkonově dostačuje.

Koncepčně návrh bloku číslicového zpracování dat vychází z projektu známého pod názvem SDR MK1, jeho podklady jsou pro nekomerční účely uvolněny zdarma k použití. Výhodu využití tohoto projektu zdůrazňuje i skutečnost, že vývojovou desku zapojení lze zakoupit z několika nezávislých zdrojů a snížit tak podstatně náklady na celý projekt.

Základní vlastnosti SDR MK1:

- Rozsah pásem 5kHz – 30MHz.
- Přeladění: 5kHz – 300MHz (s podvzorkováním).
- Rozlišení při přeladění 0.02 Hz.
- Celkový dynamický rozsah 123dB (při použití AGC).
- Vzorkování 64MS/s.
- Uživatelsky nastavitelné AGC.
- Měření výkonu vstupního signálu.
- Možnost nastavení a ladění prostřednictvím konzole sériové linky.
- Napájení z rozhraní USB nebo nezávislého 6V zdroje.
- Vstupní rozhraní: 2x BNC konektor.
- Max spotřeba 470mA.
- Otevřený software i hardware pro nekomerční účely.

Projekt SDR MK1 vznikl původně za účelem streamování radioamatérského provozu v pásmu 4,625MHz. Jeho autor nejprve využíval komerčně dostupná řešení s využitím uzavřeného komerčního software. Toto řešení však neumožňovalo jakýkoliv zásah do funkce. Vzhledem k velikosti radioamatérské komunity se dle autora zdála být vlastní konstrukce dobrým nápadem. V průběhu několika měsíců se skutečně hardware rozšířil do celého světa. Vzhledem k tomu, že veškeré výrobní podklady, včetně firmware pro obsažené MCU, jsou poskytovány zdarma prostřednictvím repositářů Google Code, vzniklo i několik dalších mutací původního zařízení, například v roli diverzitního přijímače. Univerzálnost použitého DDC umožňuje změnou vstupních analogových obvodů upravit SDR MK1 i na příjem vyšších radioamatérských pásem až do 1GHz při šířce pásma do max. 30MHz. Z toho také vyplývá omezené použití obvodu – nehodí se pro širokopásmové aplikace.



Obrázek 21. SDR MK1 [5]

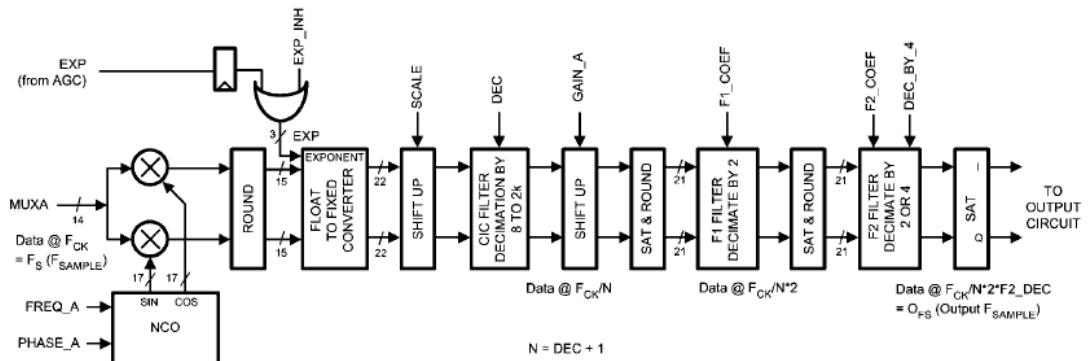
Základ kitu tvoří DDC LM97593 v doporučeném katalogovém zapojení. Jeho Dynamický rozsah přijímače je zvýšen prostřednictvím AGC LMH6512, které nahrazují starší obvody CLC5526. K DDC jsou připojeny prostřednictvím Čebyševova filtru typu dolní propust se zlomovou frekvencí 30MHz a impedancí 150Ohm.

Vypočítané zvlnění filtru je pak 0.2dB. Filtr je navrhován vzhledem k rozhraní DDC a AGC jako symetrický sedmiprvkový filtr. Vstup je realizován transformátorem společnosti MiniCircuits. Celé schéma kitu je obsaženo v příloze této práce.

Pro komunikaci s nadřazeným systémem (v tomto případě PC) není na kitu využit oblíbený převodník CY7C68013A společnosti Cypress, ale Mikrokontrolér AVR AT90USB1287 s firmware založeným na platformě LUFA (Lightweight USB Framework for AVR), dříve známé spíše jako MyUSB. Tímto krokem se sice projekt stal nekompatibilní s velkým množstvím předchozích konstrukcí z řady GNU Radio, ale autor tento nedostatek vynahradil vlastním vynikajícím softwarem.

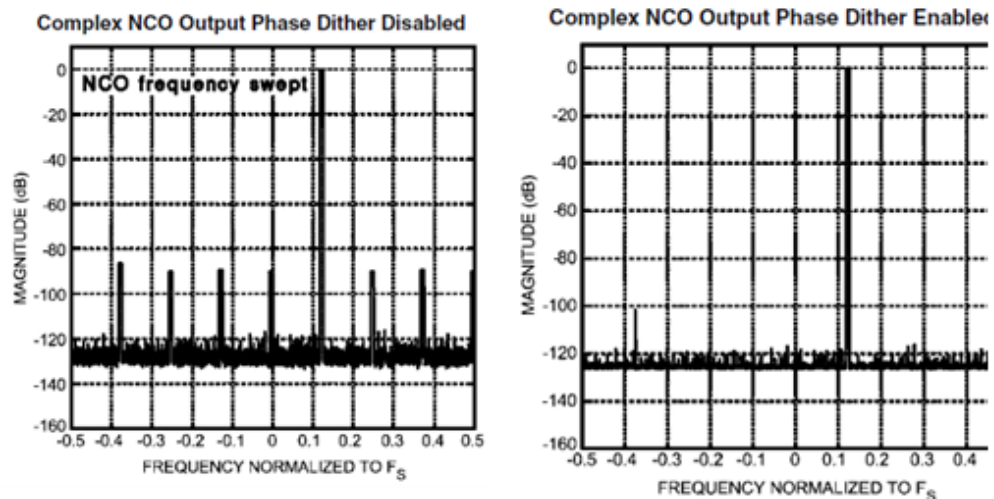
4.2.1 Konfigurace obvodu LM97593

Obvod LM97593 je konfigurován prostřednictvím zápisu do sady 237 řídicích registru. V oblasti DDC / DUC obvodů jde o celkem nízké číslo, často počet registrů přesahuje i číslo 100. Je to z velké části také tím, že LM97593 neumožňuje velkou variabilitu, ale řídí se pouze výběr z několika možných nastavení. Registry jsou osmibitové D[7:0], adresování také A[7:0]. Jsou využívány také vodiče CE, WR a RD. To umožňuje využívat k nastavení LM97593 rutiny napsané pro správu standardních paralelních pamětí. Řízení obvodu je asynchronní, zápis nebo čtení registrů tak může probíhat v téměř libovolném okamžiku, za podmínek uvedených v katalogovém listu obvodu. V některých případech se může stát, že nejsou data do registrů korektně uložena, proto je doporučeno po dobu zápisu stáhnout linku SI k zemi a po dokončení zápisu linku uvolnit. Během této doby jsou automaticky také staženy linky ASTROBE a BSTROBE. Výstupy AGAIN a BAGAIN pro řízení vstupních VGA jsou nastaveny na výchozí hodnotu. Všechna vstupní data jsou během inicializace ignorována. Doba, po kterou je vstup SI stažen k zemi musí být minimálně 4 hodinové cykly.



Obrázek 22: Blokové schéma dig. části kanálu A (kanál B je shodný) [4]

Obrázek 22 zobrazuje strukturu digitální části jednoho z kanálů. Oba kanály jsou shodné a mají vlastní sady registrů. Numericky řízený oscilátor je tvořen 32 bitovým registrem. To při hodinové frekvenci 52MHz znamená rozlišení ve frekvenci 0.02Hz. Fázový offset je řízen 16bit registrem, což znamená fázový krok 0.005°. NCO produkuje číslicový sinový a kosinový výstupní signál, který je dále využíván číslicovým směřovačem. Stejně jako ostatní bloky obvodu, je i číslicový oscilátor synchronizován vstupem SI. To umožňuje využití několik obvodů zároveň pro koherentní modulaci. Frekvence je nastavována registrem. Jeho obsah je možné vypočítat rovnicí: $FREQ = 2^{32}F/F_{CK}$, kde F je žádaná frekvence výstupu NCO, F_{CK} je pak hodinová frekvence. Hodnota je do registru zapisována v podobně dvojkového doplňku. Rozsah F je pak: $-F_{CK}/2$ to $+F_{CK}(1-2^{-31})/2$. U podvzorkovaného signálu, v případě že se jedná o sudou Nyquistovu zónu, budou složky I a Q symetricky přehozeny. Tento problém je možné vyřešit polaritou výstupního signálu z NCO. Šestnáctibitový fázový registr nabývá hodnot dle následujícího vztahu: $PHASE = 2^{16}P/2\pi$, kde P je požadovaná fáze v radiánech v rozsahu 0 - 2π . Fáze je bezznaménkové šestnáctibitové číslo. Pro snížení vlivu harmonických, může být zapnuto chvění fáze. LM97693 má vlastní generátor pro tuto funkci, jehož hodnoty jsou pevně stanoveny v paměti obvodu.



Obrázek 23: Vliv chvění fáze na projevy harmonických složek [4]

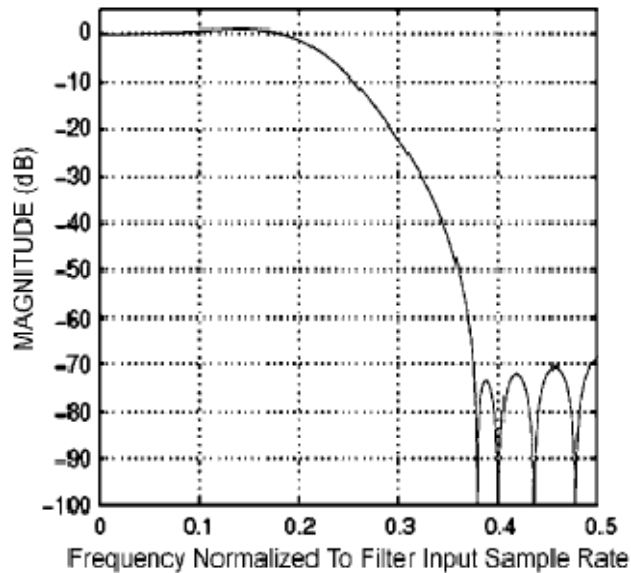
Vstupním signálem mixeru je kromě výstupu NCO, také libovolný výstup AD převodníky (ze vstupů A nebo B). Při využití jiného než přirozeného vstupu je nutné nastavit také příslušný výstup pro VGA. V případě špatně nastaveného výstupu pro VGA dojde k chybnému převodu na číslo v plovoucí řádové čárce, protože tento výstup je exponentem v čísle plovoucí řádové čárky. Výstup mixeru je mantisou tohoto čísla.

Po převedení na číslo s plovoucí řádovou čárkou jsou data decimována s faktorem N ve čtyřstupňovém CIC filtru. N je možné nastavit jako celé číslo v rozsahu 8 až 2048. N je programováno registrem DEC, kde $DEC = N - 1$. Výstupní data pak mají rychlost 1,27kHz až 650kHz, za předpokladu že hodinový signál je 52MHz. Pro maximální hodinovou frekvenci 65MHz je pak výstupní rychlost dat v rozsahu 1,58kHz až 812kHz. CIC filtr slouží primárně ke snížení vzorkové rychlosti, zadruhé má také charakter filtru dolní propusti s odezvou $\sin(x)/x$, kde první nula je na F_S/N .

Po decimaci následuje dvojice FIR filtrů F1 (21 tapů, decimace 2) a F2 (63 tapů, decimace 2 nebo 4). Koeficienty jsou šestnáctibitové a stejně jako u NCO jsou vyžadovány v dvojkovém doplňku. Protože jsou koeficienty symetrické, vyžaduje

obvod zapsání pouhé poloviny koeficientů (11). Následuje příklad využitelných koeficientů kompenzujících vliv decimace dvěma (včetně charakteristiky):

29, -85, -308, -56, 1068, 1405, -2056, -6009, 1303, 21121, 32703



Obrázek 24: Frekvenční charakteristika FIR filtru F1 [4]

FIR filtr F2 využívá rovněž externích koeficientů. I zde lze předpokládat symetrické koeficienty, obvod tedy vyžaduje pouze 32 koeficientů. Obvod LM97593 je často využíván u GSM systémů (jak už bylo napsáno v obecném úvodu k obvodu). V systému GSM je vyžadována šířka pásma (kanálu) 200kHz. Pokud je tedy vzorkovací frekvence rovna 52MHz, pak při decimaci 192 je výstupní vzorková rychlost rovna 270,833kHz. Při vzorkovací rychlosti 65MHz lze stejné rychlosti dosáhnout při decimaci 240.

Při návrhu obvodu je nutné počítat se zpožděním, které je způsobeno průchodem CIC a FIR filtrů. Zpoždění je také ovlivněno stupněm decimace. Vzhledem k linearitě FIR filtrů je skupinové zpoždění konstantní.

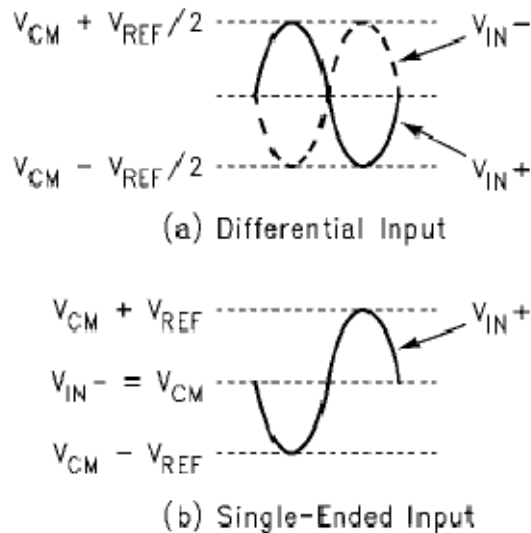
Po průchodu filtry a decimaci signálů jsou data ve formátu dvojkového doplňku. Tato data lze získat na paralelním výstupu nastavením bitu POUT_EN. Výstup lze oříznout na 8 nebo 32 bitů, zaokrouhlit na 16 nebo 24 bitů anebo přepnout na číslo s plovoucí řádovou čárkou s rozsahem 12bit (4bit exponent, 8bit mantisa). Plovoucí řádová čárka umožňuje přenášet data s odstupem až 138dB.

Kromě 16bitového paralelního výstupu je možné data získávat také sériovým výstupem. K dispozici jsou signály SCK (serial clock), SFS (seriál frame strobe), AOUT a BOUT – sériová data. MUX_MODE registr specifikuje zda je každý kanál přenášen na svém příslušném výstupu, anebo multiplexovány na jeden výstup (TDM). Přesné nastavení výstupu je uvedeno v katalogovém listu obvodu.

4.2.2 Analogové rozhraní obvodu LM97593

Integrovaný obvod LM97593 obsahuje dva identické AD převodníky s napájecím napětím 3.3V. Vstup AD převodníku je realizován jako symetrický vstup a je digitalizován do 12bitů. Jako referenci je možné použít interní 1V zdroj anebo vstup pro externí referenční napětí. Toto napětí může být v rozsahu 0,8 až 1,2V. Při nižším napětí poklesne poměr signál/šum. Vyšší napětí na druhou stranu zvyšuje harmonické zkreslení v případě využití maximálního rozsahu vstupního signálu. Volba mezi interní a externí referencí je realizována prostřednictvím napětí přiloženého na vstup referenčního napětí. Je-li napětí v rozsahu 0,8 – 1,2V, pak je pro práci převodníku využito právě externí referenční napětí. Při návrhu je třeba dbát na řádné připojení zemních ploch s pinům obvodu. Doporučováno je jednoduché připojení prostřednictvím prokovené díry ke každému ze zemních pinů obvodu. Samozřejmostí je oddělení jednotlivých zemních ploch pro analogové a digitální napájení obvodu. Maximální hodinová frekvence AD převodníku je 65MHz, kdy je signál na obou kanálech vzorkován na náběžnou hranu hodin. Navzorkovaná data jsou před přechodem do obvodu DDC zpožděna o sedm hodinových cyklů.

Vstupy převodníku jsou symetrické. $V_{IN_A} = (V_{IN_{A+}}) - (V_{IN_{A-}})$ pro vstup A. $V_{IN_B} = (V_{IN_{B+}}) - (V_{IN_{B-}})$ pro vstup B. Rozsah jednotlivých vstupů je 0-1V, společně pak 2V. Špičkově pak nesmí vstupní napětí překročit 2,6V. U nesymetrického vstupního signálu lze nejlepších výsledků při převodu dosáhnout, pokud je vstupní napětí symetrické kolem V_{CM} . V_{CM} by mělo být v rozsahu 1-2V. Nesmí však poklesnout pod 0V a překročit 2,6V. Oba případy ilustruje níže uvedený obrázek.



Obrázek 25: Ukázka vhodných úrovní na vstupech AD převodníku [4]

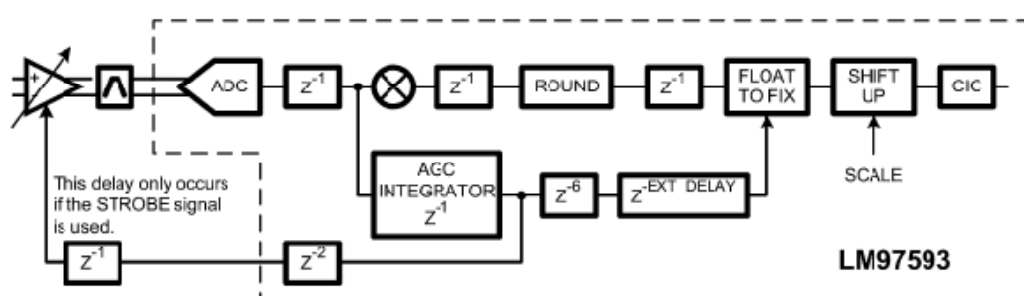
4.2.3 Připojení hodinového signálu

Signál CLK řídí vzorkování vstupního analogového signálu v obou kanálech. Je vyžadován stabilní signál s nízkým bitterem v rozsahu 10MHz až 65MHz. Vyšší hodinové signály je nutné hlídat z pohledu jitteru obzvlášť pečlivě. Trasa od zdroje hodinového signálu k obvodu by měla být pokud možno co nejkratší a neměla by křížovat jiné signálové vodiče pod úhlem 90°. V lepším případě by neměla křížovat jiné vodiče v jakékoliv další vrstvě plošného spoje. Výjimkou je samozřejmě zemní plocha a napájecí plochy. Samozřejmostí je využití správně zakončeného vedení a vhodné charakteristické impedance spoje. Tento problém je řešen v aplikační poznámce AN-905 (web National Semiconductor). Kromě AD převodníků časuje signál CLK také vnitřní stavový automat. Při hodinové frekvence pod 10MHz může dojít ke špatné funkci stavového automatu a nepřesným výsledkům při převodu analogového signálu.

Jako hodinový signál lze v laboratorních podmínkách využít kvalitnější VF generátor se signálem o vhodných úrovních. V případě autonomního zařízení je možné využít samostatného krystalového oscilátoru. V lepším případě pak přesnějšího krystalového oscilátoru na nižší frekvenci a speciálního hodinového obvodu.

4.2.4 AGC

Jak už bylo řečeno v úvodu, LM97593 disponuje výstupy pro řízení VGA připojených před vstup AD převodníku. Tato činnost je realizována prostřednictvím jednotky pro výpočet výkonu vstupního signálu. Spolu s řízením připojených VGA je hodnota předávána do DDC, které ji dále využívá k výpočtům a zvyšuje tak celkový dynamický rozsah přijímače, bez nutnosti zásahu nadřazeného systému. V aplikacích, kde je signál z VGA využíván i k jiným účelům, je možné automatickou změnu zesílení vypnout pomocí nastavení bitu AGC_HOLD_IC na 1.

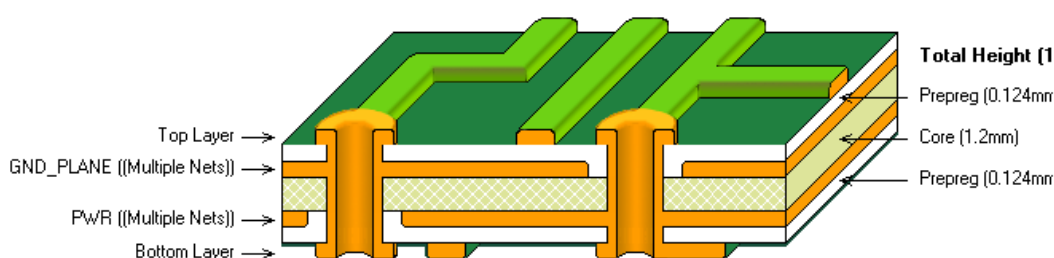


Obrázek 26: Zjednodušené blokové schéma ilustrující funkci AGC [4]

Zesílení u AGC je nastavováno v krocích po 6dB. Dynamický rozsah samotného AD převodníku je samozřejmě vyšší. V registrech obvodu LM97593 lze tedy nastavovat hranice, při jejichž překročení má k přepnutí zesílení dojít. Je vhodné tedy nastavovat rozmezí výrazně vyšší než 6dB, aby nedocházelo k neustálému přepínání předřazených zesilovačů a tím se ve výstupním signálu nenacházely nežádoucí artefakty. Registry obvodu umožňují měnit také počet vzorků, ze kterých je výkon vypočítáván a tím optimalizovat výpočet pro očekávaný signál. Prodloužením výpočtu lze zvýšit stabilitu regulační smyčky. Na druhou stranu se tím prodlouží odezva na změnu vlastností vstupního signálu. Fyzicky jsou VGA řízeny čtyřmi piny. AGAIN[2:0] reprezentují zesílení v kroku 6dB pro kanál A. Čtvrtý ASTROBE pak řídí hradlování nastavené hodnoty. Pro kanál B je situace obdobná. Je třeba mít na paměti, že oba kanály jsou na sobě nezávislé, a proto hodnoty zesílení i řídících signálů mohou být odlišné. To je důležité obzvláště u diverzitních přijímačů. Vzhledem ke komplikovaným výpočtům pro nastavení AGC je na webu National Semiconductor k dispozici speciální software pro výpočet hodnot registrů obvodu.

4.2.5 Praktická realizace bloku číslicového zpracování

Blok číslicového zpracování byl realizován na čtyřvrstvé desce plošného spoje. Důvodem pro čtyřvrstvý spoj bylo dodržení 50Ω charakteristické impedance analogových spojů a zároveň 100Ω impedance diferenciálního páru. Impedance by bylo možné dodržet i na dvoustranném plošném spoji, ale šířka spoje by v tomto případě výrazně převyšovala mechanické rozměry použitých součástek. Následující obrázek ilustruje rozložení vrstev plošného spoje (odpovídá struktuře plošného spoje pro službu POOLSERVIS společnosti PRAGOBOARD).



Obrázek 27: Rozložení vrstev plošného spoje bloku DDC

Zemní plochy, uvažované při výpočtu impedance plošného spoje jsou rozvrženy na druhé vrstvě z pohledu na vrchní část plošného spoje. Na jádru jsou vystavěny dva prepregy o tloušťce $2 \times 62\mu\text{m}$. Celková tloušťka dielektrika je tedy $124\mu\text{m}$. Výrobce základního materiálu udává permitivitu dielektrika na frekvencích do 50MHz v rozsahu $4,1 - 4,15$. Vzhledem k vlivu permitivity na celkovou impedanci spoje byla uvažována hodnota $4,1$. Pro výpočet byl využit volně šiřitelný software pro elektrotechnické výpočty Saturn PCB Design verze 5.32. Výpočet byl řízen normou IPC-2102. Pro udané parametry základního materiálu byly vypočteny následující rozměry spojů:

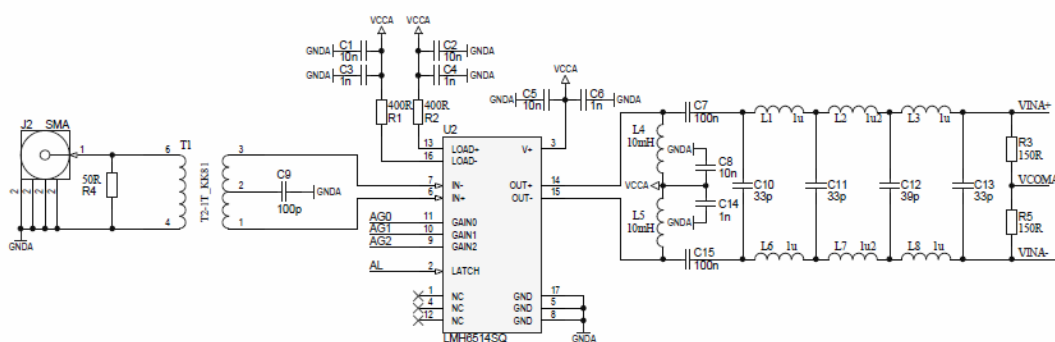
- Šířka spoje $0,17\text{m}$.
- Vzdálenost mezi spoji minimálně $0,5\text{mm}$.

Ze simulací provedených softwarem Hyperlinx vyplývá, že zvyšováním vzdálenosti mezi diferenciálními páry nemá ve frekvenčním rozsahu do 50MHz velký význam. Pro model využívaný normou IPC-2102.

Z obrázku 27 je patrné, že střední plochy plátované na základním materiálu slouží jako plné zemní a napájecí plochy (plane). Tím je dosaženo snížení impedance zemních a napájecích ploch. Na některých místech plošného spoje dochází k rozdělení jednotlivých částí napájecí plochy. Vzájemné propojení je realizováno spojem o tloušťce 1mm a několika prokovy.

4.2.6 Schéma zapojení

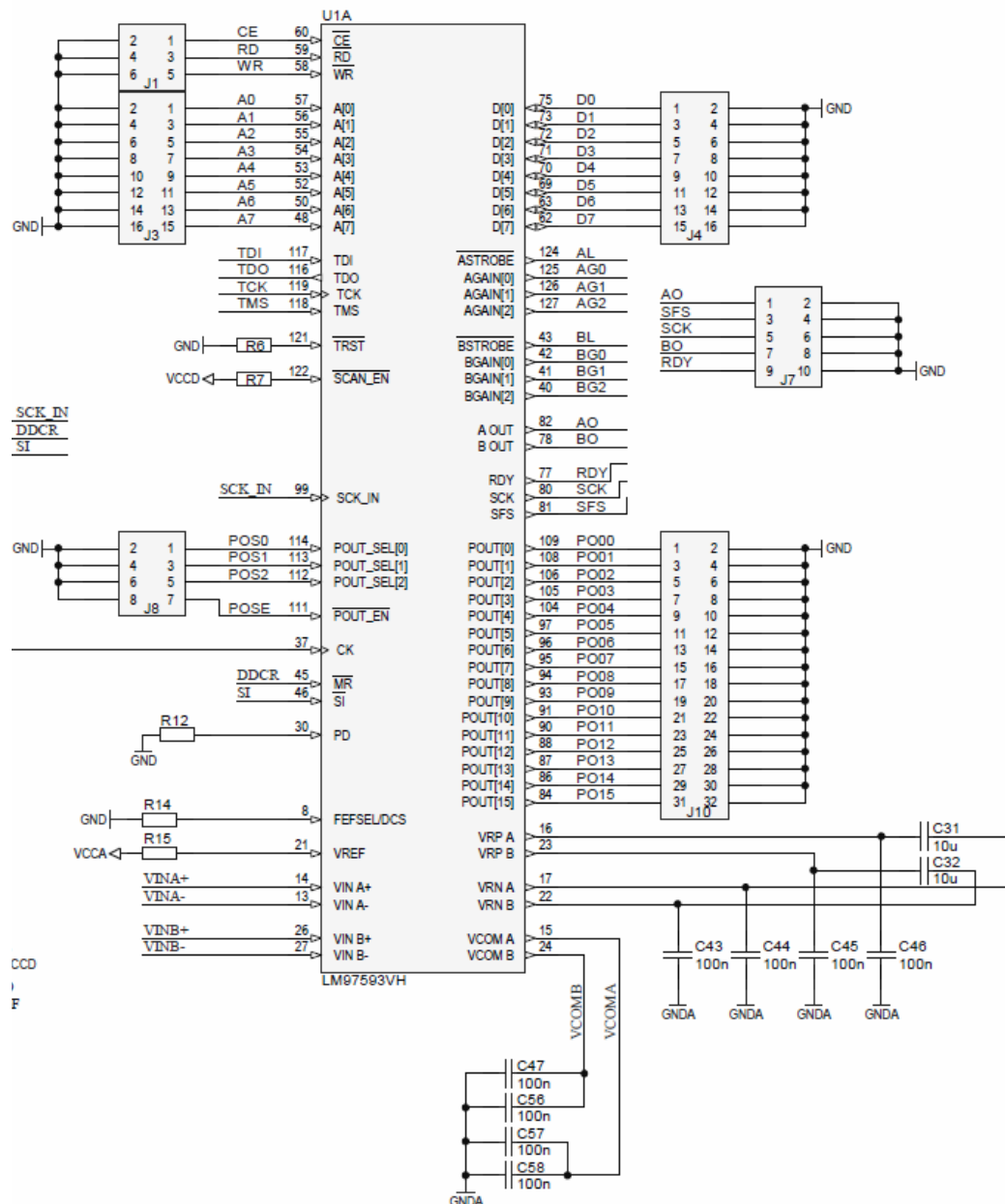
Každý z obou nesymetrických analogových vstupů je připojen prostřednictvím stranového SMA konektoru k symetrizačnímu transformátoru společnosti MiniCircuits. Symetrizovaný signál je přiveden na VGA LMH6514 řízeného přímo z DDC prostřednictvím 4 linek (3 x data, 1 x latch). Obvody jsou napájeny z analogového napětí 3V3 a uzemněny na vlastní analogovou zem AGND.



Obrázek 28: Vstupní obvody pro symetrizaci a zesílení

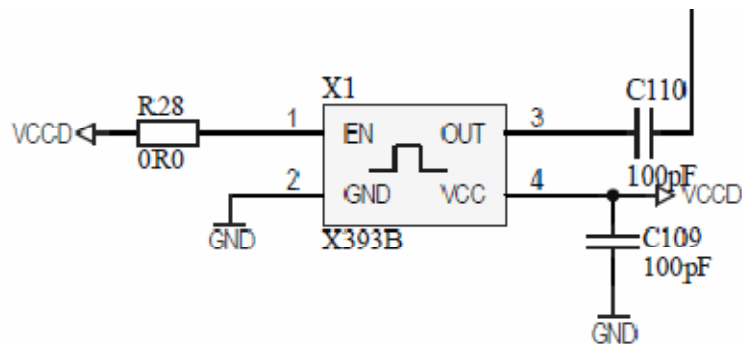
Před připojením symetrického analogového signálu na DDC je signál filtrován pasivním symetrickým sedmiprvkovým Čebyševovým filtrem. Tento filtr byl po otestování převzat z původní konstrukce. Konstrukčně je filtr složen ze součástek velikosti 0603, jsou tak minimalizovány rozměry filtru s ohledem na impedanci spojů a prakticky i celého filtru. Velikosti 0603 jsou rovněž všechny ostatní součástky připojené k obvodu LMH6514. Výjimkou jsou blokovací kondenzátory velikosti 0402. Vzhledem k malým rozměrům je důležité dbát na to, aby cívky použité ve filtru měly vlastní rezonanci výrazně nad využívaným pásmem. Tuto podmínku splňuje například řada AF od společnosti CoilCraft.

Hlavní část tohoto schémata je zapojení vlastního obvodu LM97593. To vychází z části z doporučeného zapojení výrobce uvedeného v katalogovém listě a z části z kitu SDR MK1. Oproti zapojení kitu SDR MK1 nejsou datové ani řídicí linky vyvedeny do osazeného mikrokontroléru, ale na dvouřadé kolíkové lišty, což umožňuje připojit vývojovou desku k jakémukoliv nadřazenému systému s dostatečným výkonem. Napájení desky budete řešeno v textu dále.



Obrázek 29: Základní část bloku digitálního zpracování signálu

Na uvedeném výřezu ze schématu není vzhledem k čitelnosti uveden zdroj hodinového signálu. Ten by měl odpovídat vlastnostem uvedeným v kapitole 4.2.3. V tomto případě byl vzhledem k přenositelnosti použit samostatný krystalový oscilátor X393B společnosti C-MAC. Oproti požadavkům na 3V3 napájení má tento krystalový oscilátor dovolené napájení do 2.5V. Při praktických zkouškách ale oscilátor fungoval i na napájení 3V3 bezproblémově. Při rekonstrukci by však bylo dobré najít vhodnější obvod jiného výrobce (i vzhledem k ceně obvodu).

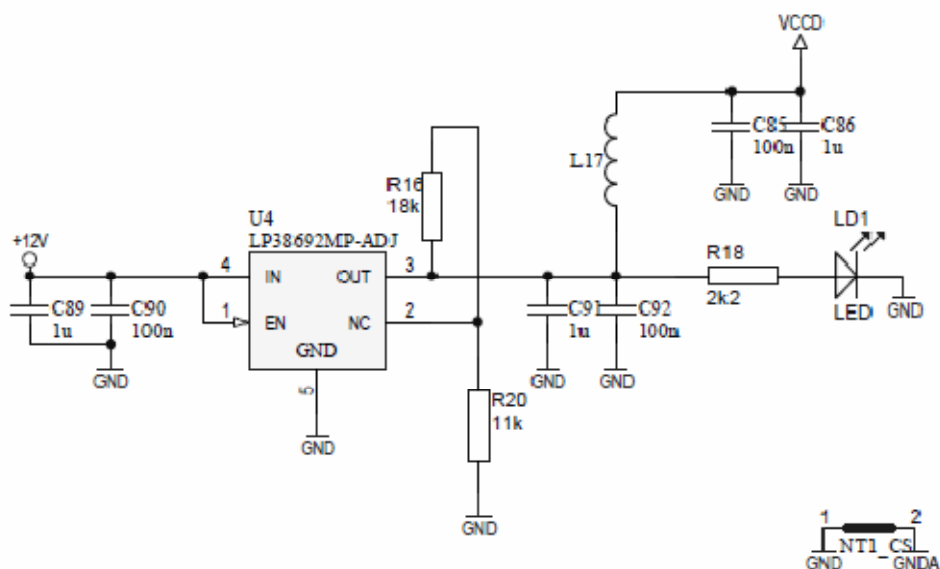


Obrázek 30: Hodinový obvod bloku digitálního zpracování signálu

Výstup hodinového obvodu je blokován proti stejnosměrné složce. Vzhledem k tomu, že LM97593 vyžaduje obdélníkový signál usazený na 3V3/2, je nutné kondenzátor C110 nahradit nulovým rezistorem, anebo jej propájet cínovou propojkou. Pozice uvedeného kondenzátoru může v nouzovém případě sloužit jako vstup referenčního hodin do obvodu z externího generátoru. S tímto případem nabylo při návrhu počítáno, a tato potřeba byla zjištěna až praktickými zkouškami při ožívání obvodu.

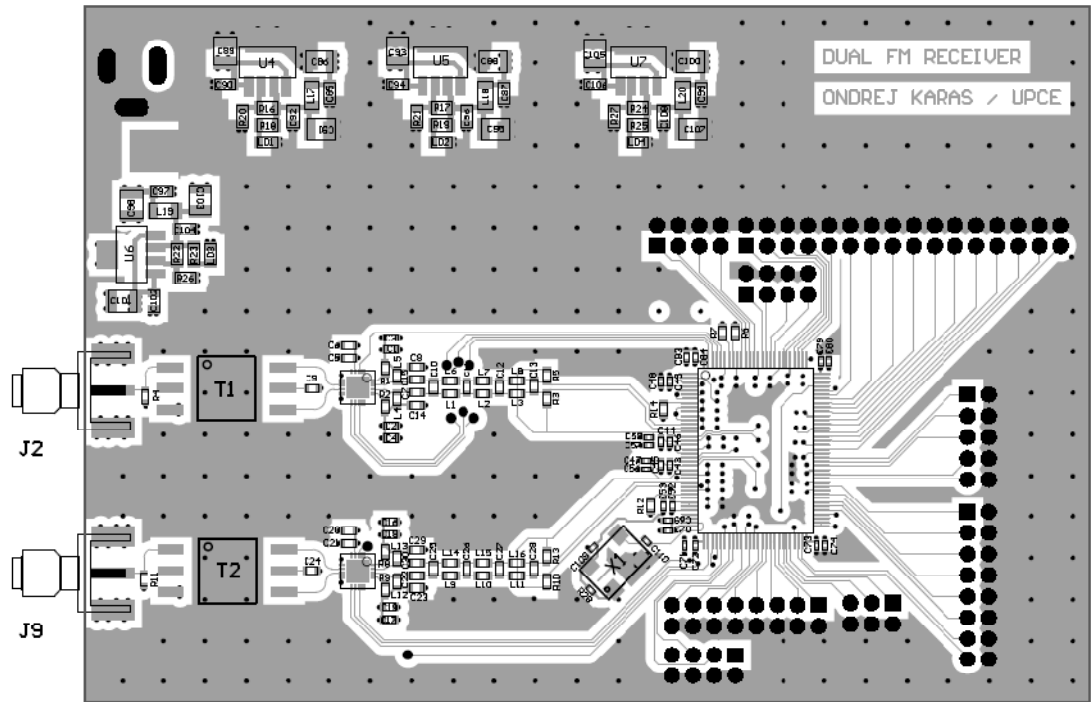
Rezistor R28 pak slouží jako pozice pro případné vyřazení oscilátoru z činnosti (odpájením rezistoru), anebo pro změnu činnosti obvodu v případě jeho nahrazení jiným typem. (Některé další krystalové oscilátory jiných výrobců vyžadují, aby byl tento vstup nezapojen).

Napájení vývojové desky pro digitální zpracování signálů je stejně jako u vývojové desky syntezátoru tvořena soustavou lineárních stabilizátorů. Vzhledem k možnosti využití napájení z USB (konektor USB není součástí desky, je nutná redukce), jsou jako lineární stabilizátory využity obvody LP38692-ADJ. Popis těchto stabilizátorů byl již uveden v kapitole věnované vývojové desce syntezátoru. V tomto případě jsou obdobným zapojením vytvořeny zdroje VCCD (3,3V), VCCA (3,3V), VDR (3,3V) a VCCD18 (3,3V). Celkový proudový odběr by neměl přesáhnout 350mA, napájení z USB je tedy možné za předpokladu, že budiče USB cílového zařízení umožňují poskytnout 0,5A.

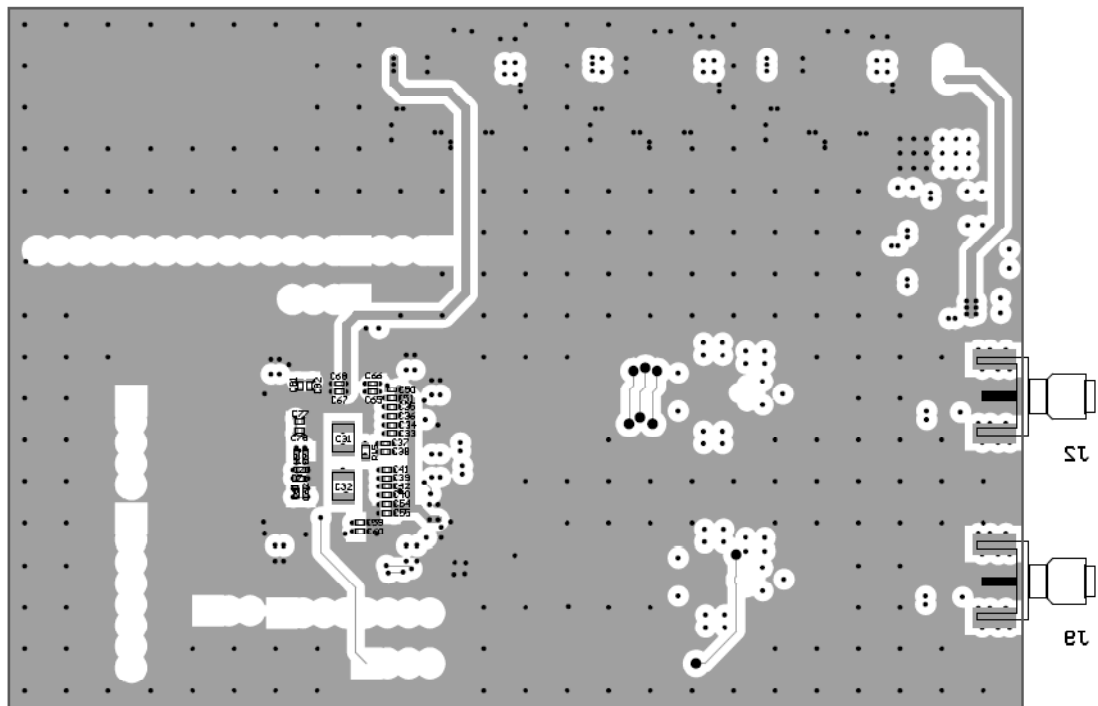


Obrázek 31: Zdroj 3,3V digitální desky digitální zpracování signálu

Obrázek 31 ilustruje využití LP38692-ADJ jako zdroje pro digitální napájení 3,3V (VCCD). Napájení na obou koncích stabilizátoru je blokováno dle požadavků výrobce obvodu, výstup je filtrován π -článkem LC. Propojení analogové a digitální země je realizováno na jednom místě na plošném spoji a to v blízkosti napájecí konektoru. Toto propojení na obrázku 31 symbolizuje značka NET-TIE (symbol návrhového systému Altium Designer).



Obrázek 32: Osazovací výkres bloku číslicového zpracování signálu (strana TOP)



Obrázek 33: Osazovací výkres bloku číslicového zpracování signálu (strana BOTTOM)

4.2.7 Návrh možných změn při rekonstrukci DPS

Při praktickém testování uvedené vývojové desky bylo zjištěno několik základních nedostatků, které se v mnoha ohledech podílely na ztíženém oživení a otestování zařízení:

- Neexistence konektoru pro vstup referenčního hodinového signálu.
- Nadřazené MCU nebo FPGA není umístěno na desce.
- Chybí konektory pro měření výstupu VGA.
- Nejsou navrženy měřící body u bitů řídicích zesílení VGA.

Problémy s neexistencí konektoru pro vstup referenčního hodinového signálu byly uvedeny v předchozí kapitole. Bez jeho přítomnosti bylo obtížné otestovat chování obvodu i při nižších vzorkovacích frekvencích, které mohou klesat až k 10MS/s.

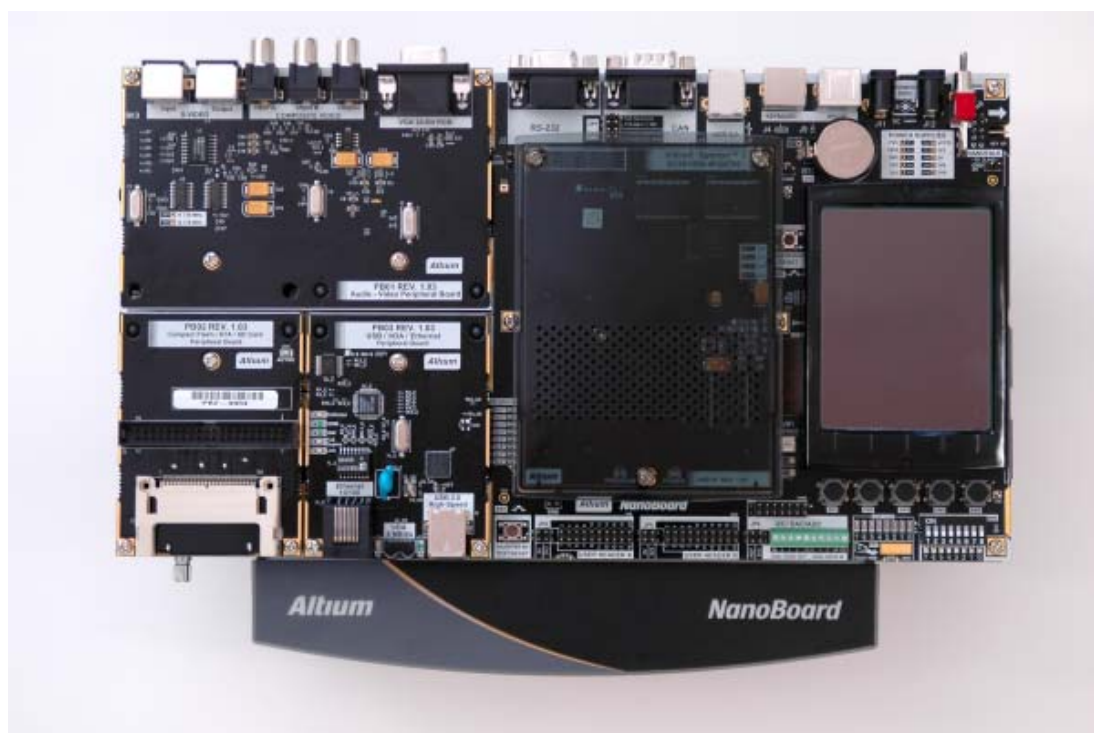
Nepřítomnost nadřazeného MCU nebo FPGA s vnitřním MCU pak na druhou stranu neumožňuje automatickou konfiguraci obvodu DDC po připojení k napájení, je tedy nutné konfigurovat obvod ručně prostřednictvím libovolného paralelního rozhraní (viz kapitola Testování).

Chybějící konektory pro měření výstupů VGA komplikovaly oživení a otestování funkce VGA. Ze stejného důvodu vznikl také požadavek na umístění měřících bodů u bitů řídicích zesílení VGA (3bity určující hodnotu zesílení, 1bit řídicí zápis hodnoty zesílení – latch).

4.3 Testování vlastního přijímače

Pro testování vlastního přijímače byl použit z technických a ekonomických důvodů pouze jeden kanál přijímače. Konfiguraci využitou k testování by bylo možné jednoduše rozšířit i pro dvoukanálový přijímač v případě, že by byly k dispozici odpovídající technické prostředky (výkonnější FPGA, odpovídající hardware pro připojení DDC k FPGA). Hardware vývojové desky číslicového zpracování signálu takové připojení umožňuje.

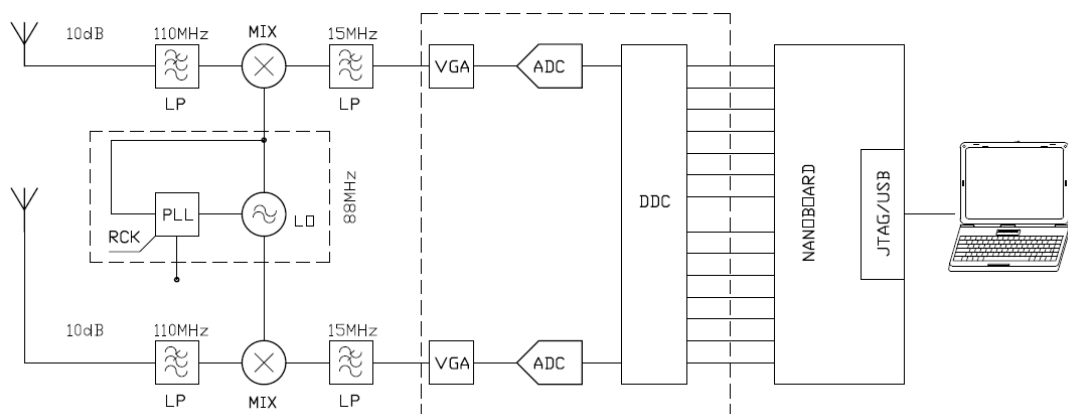
V roli řídicí jednotky byl využit vývojový kit NanoBoard NB2 společnosti Altium Limited. Jedná se o univerzální vývojový kit pro obvody společností Altera, Xilinx a Lattice Semiconductor Corporation. Skládá se ze základnové desky obsahující připojení na základní periferie, jako jsou audio kodeky, VGA výstup, USB a Ethernetové konektory a budiče, barevný grafický dotykový TFT displej 320x240 bodů, LED, tlačítka, obecné vstupně/výstupní linky a další.



Obrázek 34: NanoBoard NB2 společnosti Altium Limited [3]

Kit lze rozšířit nadstavbovými kartami obsahujícími mimo jiné další ethernetové a USB rozhraní, RTC, PS2, CAN, vícekanálové ADC/DAC s rozhraním I2C, SRAM 256K x 32-bit, SRAM 1MB, 16M x 32-bit common-bus SDRAM (64MB),

16M x 16-bit common-bus 3.0V Page Mode Flash memory, (32MB), 256K x 32-bit independent SRAM (1MB), IrDA a mnoho dalších. Uživateli jsou k dispozici kompletní návrhy schémat a desek plošných spojů navržených v systému Altium Designer a tak má návrhář možnost si navrhnout vlastní propojovací desku mezi svým hardwarem a kitem NanoBoard. Aby bylo možné ušetřit prostředky při návrhu a výrobě propojovacích desek, nabízí Altium Limited k dispozici hotový layout desky plošného spoje právě v roli rozšiřující karty.

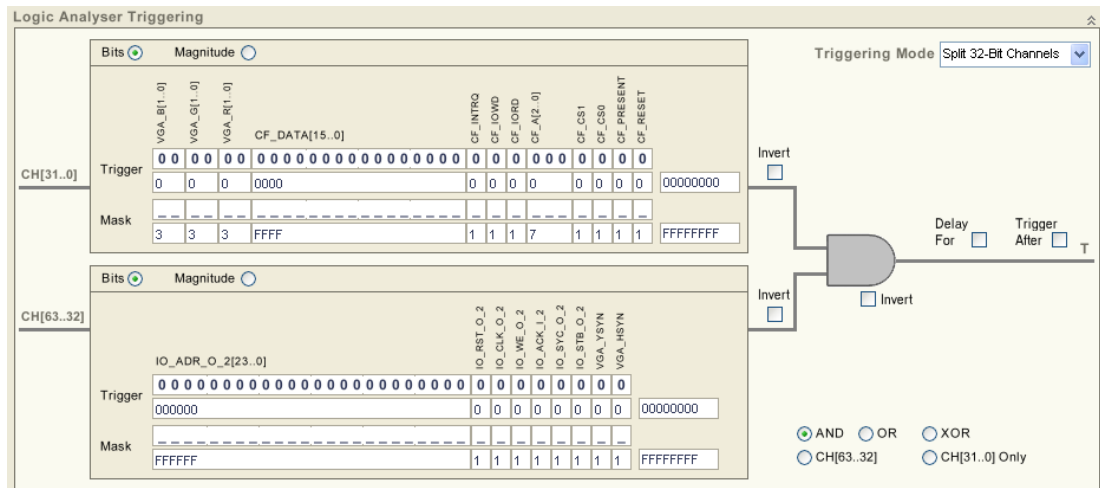


Obrázek 35: Testovací zapojení digitalizačního řetězce

Testovací zapojení použité při zkušební digitalizaci signálu FM rádia ilustruje obrázek 35. V roli dolních propustí následujících za anténním konektorem byly využity univerzální DPS pro sedmiprvkovou Čebyševovu dolní propust. Vzhledem k tomu, že byl měřen reálně pouze jeden kanál, nebyl měřen rozdíl fázových posuvů jednotlivých paralelních filtrů typu dolní propust. V reálné aplikaci, kde by byly měřeny oba kanály, by zřejmě musely být tyto posuvy korigovány nebo by musely být uvažovány při dalším číslicovém zpracování vzorkovaného signálu.

Při středu vzorkovaného signálu 98MHz a lokálním oscilátoru 88MHz se požadované pásmo přesune na mezifrekvenci 10MHz. Pro posunutí do základního pásma je třeba vytvořit na NCO hodinový signál o frekvenci 10MHz. Podle vzorce $FREQ = 2^{32}F/F_{CK}$ lze pak snadno vypočítat hodnotu $FREQ = 27627627$ (Hex). Nastavení filtrů FIR a stupně decimace závisí na využití sledovaného signálu.

Praktické nastavení registrů bylo provedeno dvěma převodníky USB/LPT. Skenování stavu výstupu DDC pak bylo prováděno softwarovým logickým analyzátozem dostupným v rámci systému Altium Designer. Logický analyzátoz pracuje skrze softwarový JTAG vytvořeným automaticky při každém návrhu FPGA provedeném v Altium Designeru.



Obrázek 36: Ukázka využití softwarového logického analyzátozu systému Altium Designer [3].

Počet vzorků získaných logickým analyzátozem je závislý na množství paměti umístěné na kartě FPGA. Doba záznamu signálu je závislá na výstupní hodinové frekvenci (tím i nastaveným stupněm decimace). Při 256k x 32 bit paměti je možné zaznamenat až 262 tisíc vzorků od obou kanálů (předpokládá se nastavení výstupu jako šestnáctibitové číslo). To představuje při 650kHz výstupní rychlosti minimálně 0,4s záznamu. Při vyšším stupni decimace se může doba záznamu pohybovat až v desítkách sekund.

5 ZÁVĚR

Výsledkem této diplomové práce je konstrukce dvoukanálového digitálního přijímače složená z několika vývojových desek použitelných samostatně k výzkumným a vývojovým pracím. Přípravky je také možné použít při výuce v oboru pokročilých analogových obvodů a rovněž v oboru číslicového zpracování signálu, vzhledem k tomu, že na nich lze bez znalosti práce s FPGA relativně snadno demonstrovat řetězec DDC. Výhodou použité součástkové základny je paradoxně její technologická zastaralost. V dnešní době je totiž většina obvodů typu DDC/DUC vyráběna v pouzdrech BGA, na kterých je nejen obtížné měřit, ale také opravovat potenciální chyby v zapojení.

Splnění zadání této práce bylo ověřeno s využitím komerčně dostupného vývojového kitu ke stále oblíbenějšímu návrhovému systému Altium Designer. To dává do budoucna možnost navržené zařízení po softwarové stránce dále vyvíjet a využívat k dalším výzkumným, vývojovým a vzdělávacím účelům. Zařízení by bylo jistě zajímavé rozvíjet i v rámci diplomové práce. Zajímavým rozšířením by byl například demodulátor FM rádia nebo přijímač RDS. Pro radioamatérské využití se nabízí úprava analogového front-endu. Vzhledem k náročnosti celého projektu, a to jak časové tak ekonomické, bylo ale od této myšlenky upuštěno.

Průběh práce přesvědčivě ukázal, že je možné se při vývoji digitálního přijímače vyhnout studiu práce s obvody FPGA. Pro otestování vývojového kitu byl sice použit NanoBoard obsahující FPGA, nicméně toto řešení bylo zvoleno pouze z nedostatku času a dalo by se nahradit univerzálním převodníkem postaveným na některém z běžně dostupných USB kontrolérů a získat tím i cenově dostupný výpočetní výkon pro inicializaci registrů DDC.

6 POUŽITÁ LITERATURA

- [1.] SKALICKÝ, P. *Digitální filtrace a signálové procesory : Skripta ČVUT*. Praha : ČVUT, 1997. 214 s.
- [2.] CHENAKIN, Alexander. *Frequency Synthesizers : Concept to Product*. Londýn : Artech House, 2010. 206 s.
- [3.] *Altium Wiki* [online]. c2008 [cit. 2011-09-05]. Dostupné z WWW: <http://wiki.altium.com/display/ADOH/Home>
- [4.] *National Semiconductor* [online]. 2011 [cit. 2011-09-05]. Dual ADC / Digital Tuner / AGC . Dostupné z WWW: <<http://www.national.com/pf/LM/LM97593.html>>.
- [5.] *UVB-76* [online]. 2011-06-01 [cit. 2011-09-05]. SDR Project MK1. Dostupné z WWW: <<http://uvb-76.net/p/sdr-project-mk1.html>>.
- [6.] *Analog Devices* [online]. 2005 [cit. 2011-09-05]. ADF4360-8. Dostupné z WWW: <<http://www.analog.com/en/rfif-components/pll-synthesizersvcos/adf4360-8/products/product.html>>.
- [7.] *Texas Instrumets* [online]. 2007 [cit. 2011-09-05]. GC5016. Dostupné z WWW: <<http://www.ti.com/product/gc5016>>.
- [8.] *National Instruments* [online]. 2011 [cit. 2011-09-05]. Dostupné z WWW: <<http://www.ni.com/>>.

- [9.] *Analog Devices* [online]. 2009 [cit. 2011-09-05]. AD9600. Dostupné z WWW: <<http://www.analog.com/en/analog-to-digital-converters/ad-converters/ad9600/products/product.html>>.
- [10.] Software-defined radio. In *Wikipedia : the free encyclopedia* [online]. St. Petersburg (Florida) : Wikipedia Foundation, , last modified on 31.8.2011 [cit. 2011-09-05]. Dostupné z WWW: <http://en.wikipedia.org/wiki/Software-defined_radio>.